

אלקטרוניקה ומחשבים ה'

מגמת הנדסת אלקטרוניקה ומחשבים

(כיתה י"ד)

הוראות לנבחן

א. משך הבחינה: ארבע שעות.

ב. מבנה השאלון ומפתח ההערכה: בשאלון זה שני פרקים, ובהם שמונה שאלות.
יש להשיב על **ארבע שאלות בלבד**, שאלה אחת לפחות
מכל פרק.

לכל שאלה – 25 נקודות. סך-הכול – 100 נקודות.

ג. חומר עזר מותר לשימוש: מחשבון.

ד. הוראות מיוחדות:

1. ענה על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר השאלות הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות נוספות.
2. התחל כל תשובה לשאלה חדשה בעמוד חדש.
3. רשום את כל תשובותיך **אך ורק בעט**.
4. הקפד לנסח את תשובותיך כהלכה ולסרטט את תרשימיך בבהירות.
5. כתוב את תשובותיך בכתב-יד ברור, כדי לאפשר הערכה נאותה של תשובותיך.
6. אם לדעתך חסרים נתונים הדרושים לפתרון שאלה, אתה רשאי להוסיף אותם, בתנאי שתנמק מדוע הוספת אותם.
7. בכתיבת פתרונות חישוביים, קבלת מֶרֶב הנקודות מותנית בהשלמת כל המהלכים שלהלן, בסדר שבו הם רשומים:

- * רישום הנוסחה המתאימה.
- * הצבה של כל הערכים ביחידות המתאימות.
- * חישוב (אפשר באמצעות מחשבון).
- * רישום התוצאה המתקבלת, יחד עם יחידות המידה המתאימות.
- * ליווי הפתרון החישובי בהסבר קצר.

בשאלון זה 10 עמודים ו-24 עמודי נספחים.

ההנחיות בשאלון זה מנוסחות בלשון זכר,

אך מכוונות לנבחנות ולנבחנים כאחד.

השאלות

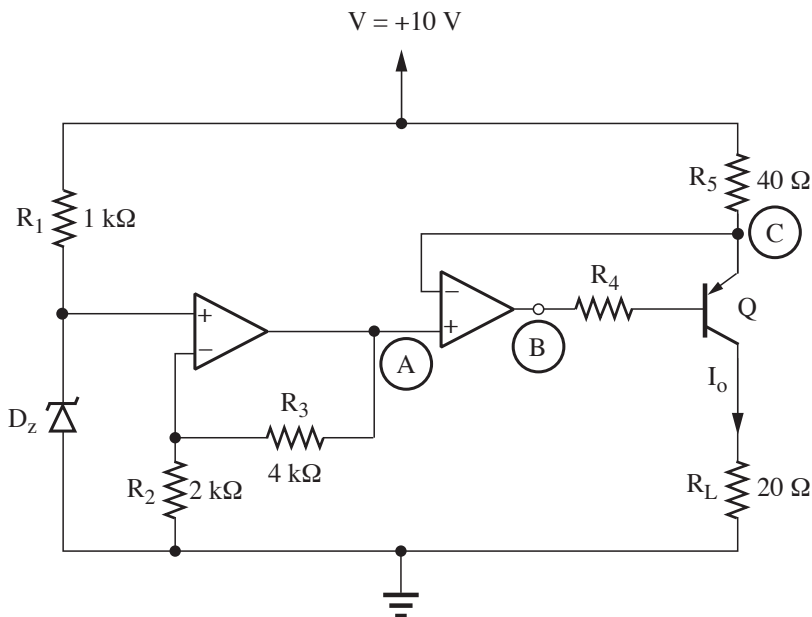
ענה על ארבע מבין השאלות 1-8. עליך לענות על שאלה אחת לפחות מכל פרק.

פרק ראשון: אלקטרוניקה תקבילית ב'

ענה על שאלה אחת לפחות מבין השאלות 1-4 (לכל שאלה – 25 נקודות).

שאלה 1

באיור לשאלה 1 נתון מעגל חשמלי, המשמש כמקור זרם I_O . מגברי השרת שבמעגל – אידיאליים. נתוני המעגל: $V_z = 2\text{ V}$, $\beta = 50$, $V_{EB} = 0.7\text{ V}$.



איור לשאלה 1

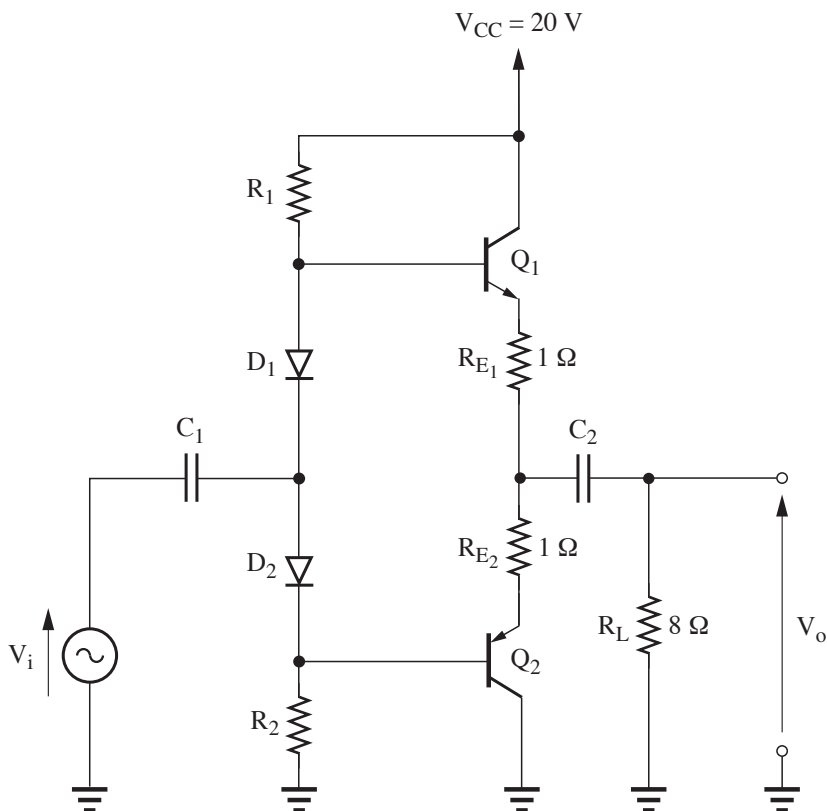
- חשב את המתח בנקודה A ואת המתח בנקודה C.
- חשב את הזרם I_O (ללא הזנחת זרם הבסיס של הטרנזיסטור, I_B).
- חשב את התנגדות הנגד R_4 , הנדרשת כדי לקבל מתח של 3.7 V בנקודה B.
- חשב את ערכו המרבי של נגד העומס R_L , אם נדרש ש- $V_{EC} \geq 1\text{ V}$.

שאלה 2

באיור לשאלה 2 נתון המעגל החשמלי של מגבר הספק. היגבי הקבלים במעגל – זניחים.

הדיודות D_1 ו- D_2 זהות.

נתון: $V_{CE1(SAT)} = V_{EC2(SAT)} = 1\text{ V}$, $R_1 = R_2$

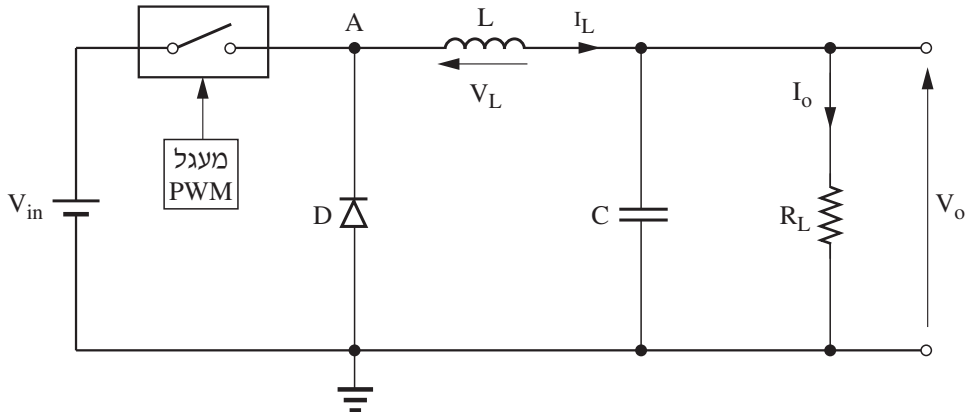


איור לשאלה 2

- א. חשב את הזרם המרבי בנגד העומס R_L .
- ב. חשב את ההספק היעיל הגדול ביותר על העומס R_L .
- ג. חשב את נצילות המעגל כאשר ההספק היעיל על העומס R_L הוא הגדול ביותר.
הערה: הזנח את ההספקים של D_1 , D_2 , R_1 , R_2 ו- D_2 .
- ד. הסבר את תפקיד הדיודות ואת תפקיד הנגדים R_{E1} ו- R_{E2} במעגל הזה.

שאלה 3

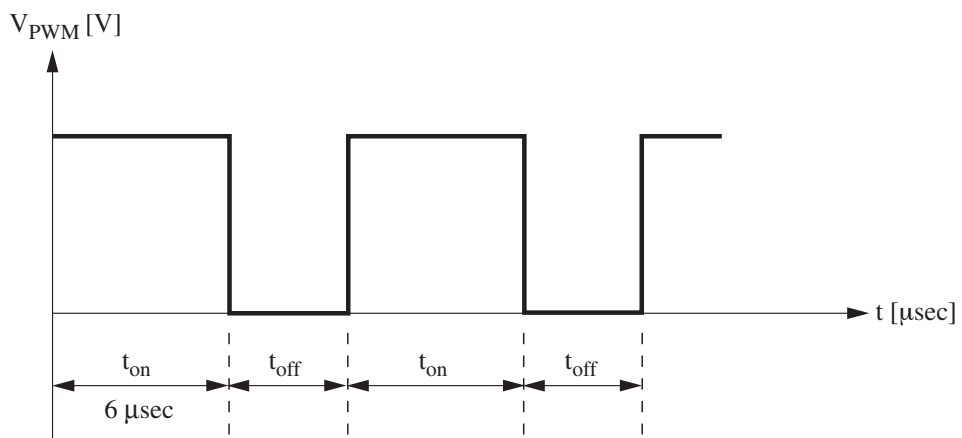
באיור א' לשאלה 3 נתון המעגל החשמלי של ממיר ממותג. הרכיבים במעגל – אידיאליים.



איור א' לשאלה 3

נתוני המעגל: $V_o = 12 \text{ V}$; $V_{in} = 20 \text{ V}$; $\Delta I_L = 0.1 \cdot I_o$; $R_L = 100 \Omega$

באיור ב' לשאלה מתואר המתח במוצא של מעגל ה-PWM, כפונקציה של הזמן.

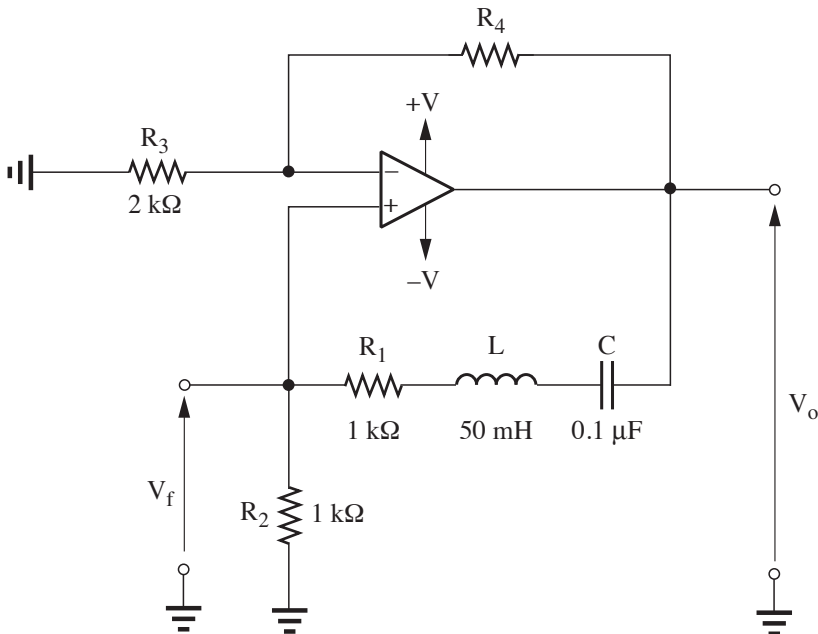


איור ב' לשאלה 3

- א. ציין את סוג הממיר ורשום את ייעודו.
- ב. חשב את התדר f שמפיק מעגל ה-PWM.
- ג. חשב את השראות הסליל L .
- ד. העתק למחברתך את צורת הגל של המתח במוצא מעגל ה-PWM, וסרטט, זו מתחת לזו בהתאמה (כולל ערכים), את צורת הגל של המתח V_A (המתח בנקודה A), ואת צורת הגל של הזרם I_L (הזרם בסליל), כפונקציה של הזמן.

שאלה 4

באיור לשאלה 4 נתון מעגל חשמלי המשמש כמתנד לאות סינוס. מגבר השרת שבמעגל – אידיאלי.



איור לשאלה 4

- א. רשום ביטוי ליחס בין המתח המוחזר V_f למתח המוצא V_o $\left(\beta = \frac{V_f}{V_o} \right)$ כפונקציה של: R_2 ו- R_1 , $j\omega L$, $\frac{1}{j\omega C}$.
- ב. חשב את תדר התנודות של המתנד.
- ג. מה צריך להיות ערכו המינימלי של הנגד R_4 כדי שיתקיימו תנודות במעגל הזה?

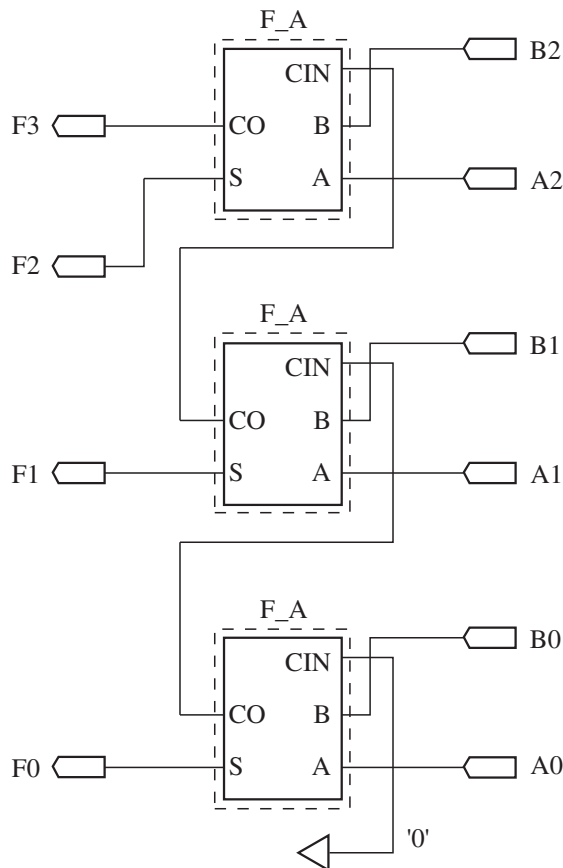
פרק שני: שפת תיאור חומרה VHDL

ענה על שאלה אחת לפחות מבין השאלות 5-8 (לכל שאלה – 25 נקודות).

שאלה 5

באיור לשאלה 5 מתוארת מערכת המבצעת פעולת חיבור בין שני מספרים (A, B), שכל אחד מהם בעל שלוש סיביות.

החיבור מתבצע באמצעות שְׁרִשׁוּר מחברים מלאים (FULL ADDERS).



איור לשאלה 5

א. כתוב תכנית בשפת VHDL המבצעת תיאור מבני לחיבור בין מרכיבי המערכת (COMPONENTS). השתמש בפקודת PORT MAP לצורך החיבור בין מרכיבי המערכת.

הערות:

* הסתמך על כך שתכניות ה-F_A כתובות, מהודרות ומכילות את הישות הבאה:

```
entity F_A is
port (A,B,Cin : in bit;
      S,Co : out bit );
end;
```

* השימוש בפקודה GENERATE מומלץ – אך אינו חובה.

ב. העתק למחברתך את סרטוט המערכת, והצג בו את מיקומו ושמו של כל אחד מן האותות (SIGNALS) שבחרת לצורך החיבור המבני שבסעיף א'.

שאלה 6

לפניך התכנית TAR6 , הכתובה בשפת VHDL :

```
1.  library ieee;
2.  use ieee. std_logic_1164.all;
3.  entity TAR6 is
4.  Port ( A , B , Cin : in bit );
5.          S , Co    : out bit );
6.  end;
7.  architecture behave of TAR6 is
8.  signal T : bit_vector (2 downto 0);
9.  signal Y : bit_vector (1 downto 0);
10. begin
11.  T  <= A & B & Cin;
12.  Co <= Y (1) ;
13.  S  <= Y (0) ;
14.  With T Select
15.      Y<=  "00" when "000",
16.          "01" when "001" | "010" | "100" ,
17.          "11" when "111",
18.          "10" when others;
19.  end behave;
```

הערה: בשורה 16 בתכנית מופיע האופרטור | , שמשמעותו פעולה לוגית OR בתוך ההתניה.

א. הסבר את הפעולה המתבצעת בשורה 11 בתכנית.

ב. העתק למחברתך את הטבלה הבאה, והשלם בה את מצב מוצאי המערכת בהתאם למצב המבואות שלה.

A	B	Cin	Co	S
0	0	0		
0	0	1		
0	1	0	0	1
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

שאלה 7

באיור לשאלה 7 מתוארת מערכת לזיהוי הקוד "110", המגיע אליה באופן טורי משמאל לימין (סיבית אחת בכל עליית שעון).



איור לשאלה 7

הסיביות נכנסות למערכת דרך המבוא הטורי SI באופן אקראי .
ערכו של המוצא Z יהיה '1' רק לאחר קליטת הקוד, כמתואר בדוגמה הבאה:

מבוא SI	0	1	1	0	1	0	1	1	1	0
מוצא Z	0	0	0	1	0	0	0	0	0	1

כתוב תכנית בשפת VHDL המבצעת את פעולת המערכת הזו.

הערה: השימוש במכונת מצבים מומלץ – אך אינו חובה.

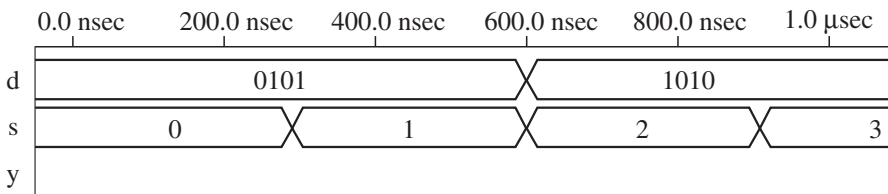
שאלה 8

לפניך התכנית TAR8, הכתובה בשפת VHDL :

```

1. library ieee;
2. use ieee.std_logic_1164.all;
3. entity TAR8 is
4. generic ( m : integer :=4 );
5. port ( d : in bit_vector(m-1 downto 0) ;
6.       s : in integer range 0 to m-1 ;
7.       y : out bit) ;
8. end;
9. architecture behave of TAR8 is
10. begin
11. y <= d(s);
12. end behave;
    
```

- א. סרטט את צורת המבנית (SYMBOL) הנוצרת כתוצאה מהישות (ENTITY) בתכנית TAR8. ציין בתשובתך את מספר הסיביות בכל מבוא ובכל מוצא של המערכת.
- ב. הסבר את ההוראה שבשורה 4 בתכנית, ואת משמעותה לגבי התכנית כולה.
- ג. באיור לשאלה 8 מתוארת דיאגרמת זמן. העתק אותה למחברתך, והשלם בה את מצב המוצא y בהתאם למצב המבואות d ו-s.



איור לשאלה 8

בהצלחה!

זכות היוצרים שמורה למדינת ישראל.

אין להעתיק או לפרסם אלא ברשות משרד החינוך.

אין להעביר את הנוסחאון
לנבחן אחר

מקום לנחשת נבחן

נוסחאון באלקטרוניקה תקבילית ב' לכיתה י"ד

(12 עמודים)

דיודת צומת

משוואת זרם-מתח של דיודה מעשית:

$$I_D = I_S \left(e^{\frac{V_D}{\eta V_T}} - 1 \right)$$

זרם הדיודה - I_D [A]

זרם זליגה אחורי - I_S [A]

מתח הדיודה - V_D [V]

מתח התלוי בטמפרטורה - V_T [V]

גרמניום - 1
מקדם - $\eta = \begin{cases} 1 \\ 2 \end{cases}$
סיליקון - 2

$$V_D = \eta V_T \ln \left(\frac{I_D}{I_S} + 1 \right)$$

טרנזיסטור דו-נושאי (בתחום הפעיל)

$$I_C = \beta I_B, I_E = (\beta + 1) I_B, I_E = I_C + I_B$$

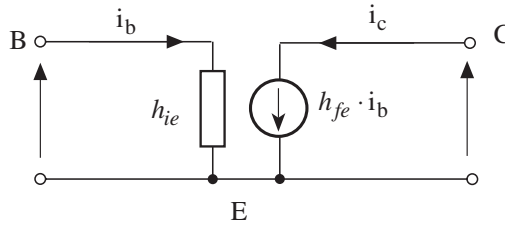
זרם קולט - I_C [A]

זרם פולט - I_E [A]

זרם בסיס - I_B [A]

$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1}, \quad \beta = \frac{\alpha}{1 - \alpha}$$

תרשים תמורה מקורב מסוג h של טרנזיסטור דו-נושאי



טרנזיסטור FET (אזור הרוויה)

- זרם אפיק I_D [A] -
- המתח בין השער למקור V_{gs} [V] -
- מתח צביטה V_p [V] -
- זרם האפיק עבור I_{DSS} [A] -
- $V_{gs} = 0$

$$I_D = I_{DSS} \left(1 - \frac{V_{gs}}{V_p} \right)^2$$

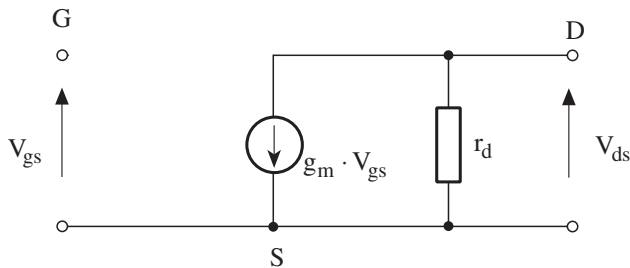
- מוליכות הדדית g_m $\left[\frac{1}{\Omega} \right]$ -

$$g_m = \frac{2I_{DSS}}{|V_p|} \left(1 - \frac{V_{gs}}{V_p} \right)$$

- מוליכות הדדית עבור g_{m0} $\left[\frac{1}{\Omega} \right]$ -
- $V_{gs} = 0$

$$g_{m0} = \frac{2I_{DSS}}{|V_p|}$$

תרשים תמורה מקורב של FET



טרנזיסטור MOSFET (אזור הרוויה)

עבור טרנזיסטור מסוג N-CHANNEL :

מתח צביטה $- V_T$ [V]

מקדם $- k \left[\frac{\text{mA}}{\text{V}^2} \right]$

$$I_D = k(V_{GS} - V_T)^2$$

תנאי הרוויה:

$$V_{GS} > V_T$$

$$V_{DS} > V_{GS} - V_T$$

הערה: מעגל התמורה לאות חילופין של טרנזיסטור MOSFET זהה לזה של טרנזיסטור FET .

מגברי הספק

מאזן הספקים

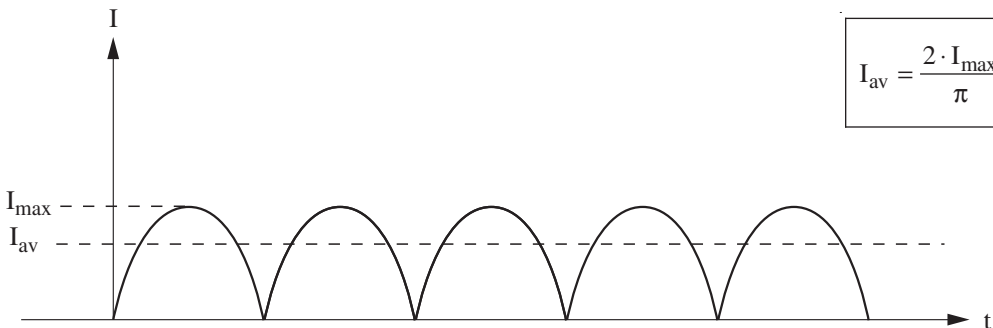
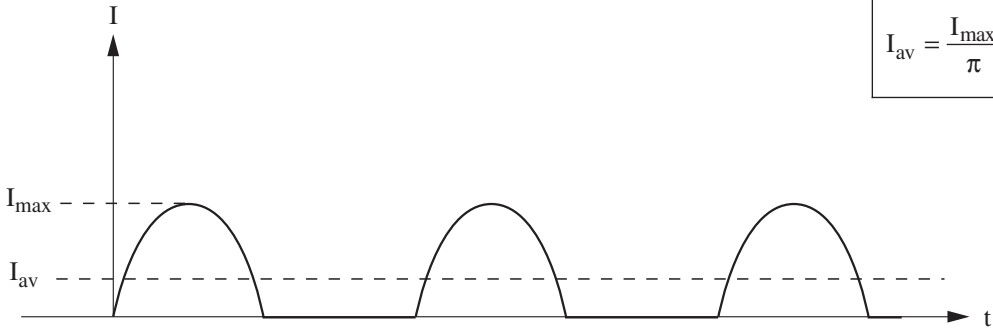
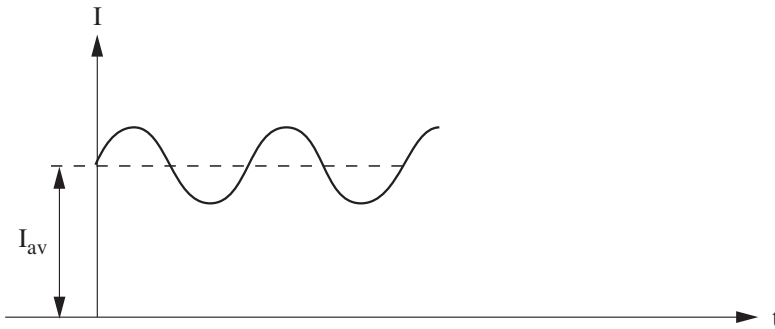
$$P_I + P_{CC} = P_L + P_{diss}$$

הספק מבוא	-	P_I	[W]
הספק נצרך מספק הכוח	-	P_{CC}	[W]
הספק העומס	-	P_L	[W]
הספק מבוזבז	-	P_{diss}	[W]
הספק המתפתח על העומס הנובע מאות חילופין	-	P_{LAC}	[W]
המתח היעיל על העומס	-	V_{Leff}	[V]
הזרם היעיל על העומס	-	I_{Leff}	[A]
נגד העומס	-	R_L	[Ω]
המתח הסינוסי המרבי על העומס	-	V_{Lmax}	[V]
הזרם הסינוסי המרבי דרך העומס	-	I_{Lmax}	[A]
הזרם הממוצע (DC) המסופק על-ידי ספק-הכוח	-	I_{av}	[A]

$$P_{LAC} = V_{Leff} \cdot I_{Leff} = \frac{V_{Leff}^2}{R_L} = I_{Leff}^2 \cdot R_L$$

$$V_{Leff} = \frac{V_{Lmax}}{\sqrt{2}} \quad , \quad I_{Leff} = \frac{I_{Lmax}}{\sqrt{2}}$$

$$P_{CC} = V_{CC} \cdot I_{av}$$



מגברי הפרש

$$V_o = A_1 \cdot V_1 + A_2 \cdot V_2$$

$$A_1 = \frac{V_o}{V_1} \Big|_{V_2 = 0}$$

מתח מבוא V_1 [V] -

$$A_2 = \frac{V_o}{V_2} \Big|_{V_1 = 0}$$

מתח מבוא V_2 [V] -

$$A_d = \frac{A_1 - A_2}{2}$$

הגבר הפרשי A_d -

$$A_c = A_1 + A_2$$

הגבר האות המשותף A_c -

$$CMRR = \left| \frac{A_d}{A_c} \right|$$

יחס דחיית האות המשותף CMRR -

$$V_o = A_d \cdot V_d + A_c \cdot V_c$$

הפרש מתחי המבוא V_d [V] -

$$V_d = V_1 - V_2$$

ממוצע הסכום של V_c [V] -

$$V_c = \frac{V_1 + V_2}{2}$$

מתחי המבוא

$$A_d = \frac{V_o}{V_d} \Big|_{V_c = 0} = \frac{V_o}{2V_i}$$

$$A_c = \frac{V_o}{V_c} \Big|_{V_d = 0} = \frac{V_o}{V_i}$$

ממירים ממותגים

א. ממירים

מתח מוצא	-	V_o	[V]
מתח מבוא	-	V_{in}	[V]
הספק במוצא	-	P_o	[W]
הספק במבוא	-	P_{in}	[W]
נצילות	-	η	
מחזור פעולה (Duty Cycle)	-	D	

$$D = \frac{t_{on}}{t_{on} + t_{off}}$$

$$V_o = D V_{in}$$

$$V_o = \frac{V_{in}}{1 - D}$$

$$P_o = \eta P_{in}$$

ממיר STEP DOWN (BUCK)
(ללא הפסדים):

ממיר STEP UP (BOOST)
(ללא הפסדים):

ב. משוואת מתח-זרם של הסליל

מתח על-פני הסליל	-	V_L	[V]
השראות הסליל	-	L	[H]
השינוי בזרם הסליל	-	ΔI_L	[A]
השינוי בזמן	-	ΔT	[sec]

$$V_L = L \frac{\Delta I_L}{\Delta T}$$

ג. משוואת מתח-זרם של הקבל

זרם הקבל	-	I_C	[A]
קיבול	-	C	[F]
השינוי במתח על-פני הקבל	-	ΔV_C	[V]

$$I_C = C \frac{\Delta V_C}{\Delta T}$$

ד. מתח האדווה בממיר STEP DOWN

מתח אדווה	-	ΔV	[V]
תדר המיתוג	-	f	[Hz]

$$\Delta V = \frac{\Delta I_L}{8 \cdot f \cdot C} = \frac{V_{in} \cdot D \cdot (1 - D)}{8 \cdot L \cdot C \cdot f^2}$$

ה. מתח האדווה בממיר STEP UP

זרם דרך נגד העומס	-	I_o	[A]
-------------------	---	-------	-----

$$\Delta V = \frac{I_o \cdot D}{f \cdot C}$$

היענות התדר של מגבר טרנזיסטורי

בתחום התדרים הנמוכים:

קבלי העקיפה והצימוד קובעים את תדר חצי ההספק התחתון.
חישוב מקורב של תדר חצי ההספק התחתון f_L :

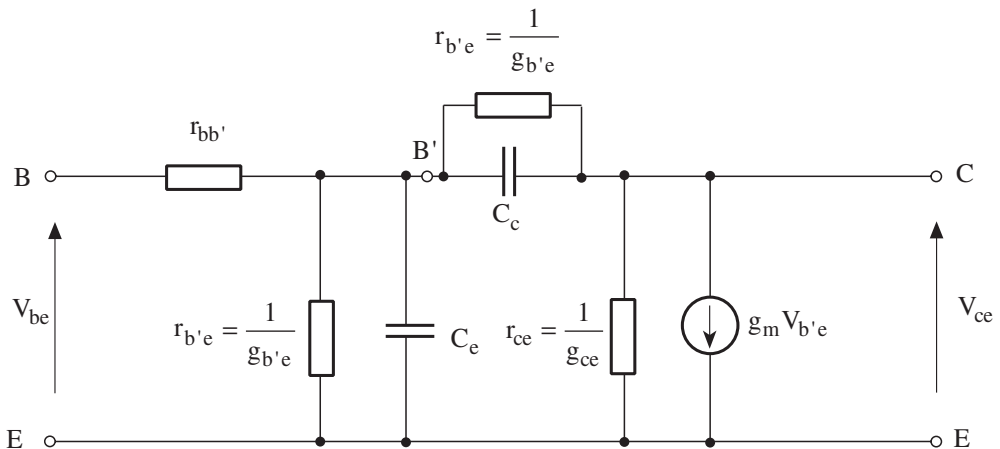
$$f_L \approx \sqrt{f_{L1}^2 + f_{L2}^2 + f_{L3}^2} \dots$$

$$f_{L_i} = \frac{1}{2\pi \cdot R_{eq} \cdot C_i} \quad \text{כאשר:}$$

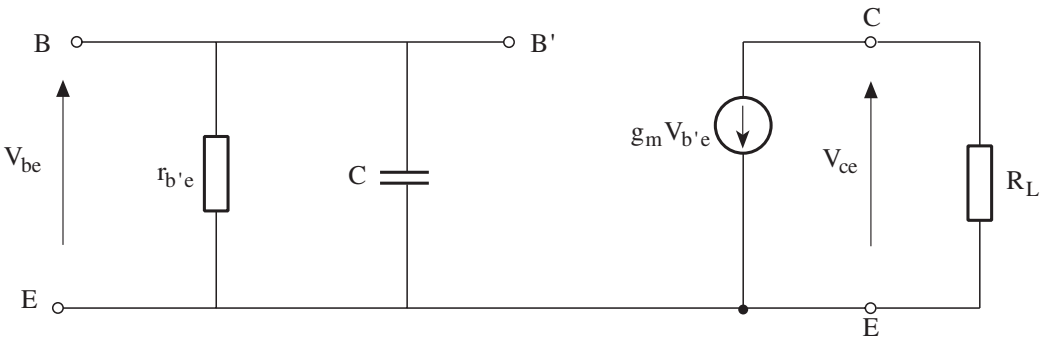
R_{eq} – ההתנגדות ש"רואה" הקבל C_i כאשר שאר הקבלים מקוצרים (וגם מתח הכניסה מקוצר)

בתחום התדרים הגבוהים:

תרשים תמורה מסוג π היברידי לחיבור פולט משותף בתדר גבוה



תרשים תמורה מקורב מסוג π היברידי עם נגד עומס R_L לחיבור פולט
משותף בתדר גבוה



$$C = C_e + C_c (1 + g_m R_L)$$

מוליכות ההעברה של
הטרנזיסטור - $g_m \left[\frac{1}{\Omega} \right]$

$$g_m = \frac{I_c \text{ (mA)}}{26}$$

התדר בו הגבר זרם הקצר
בתצורת פולט משותף
מגיע ל-1 - $f_T \text{ [Hz]}$

$$f_T = \frac{g_m}{2\pi (C_e + C_c)} \cong \frac{g_m}{2\pi C_e}$$

הגבר הזרם - A_i

$$A_i = \frac{-h_{fe}}{1 + j h_{fe} \left(\frac{f}{f_T} \right)}$$

ערכו המעשי של רוחב הפס
של β במגבר - $f_\beta \text{ [Hz]}$

$$f_\beta = \frac{g_m}{h_{fe} \cdot 2\pi (C_e + C_c)} = \frac{g_{b'e}}{2\pi (C_e + C_c)}$$

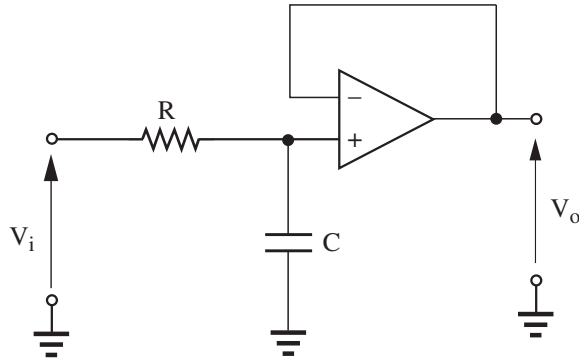
תדר גבולי עליון של
הטרנזיסטור - $f_H \text{ [Hz]}$

$$f_H = \frac{1}{2\pi \cdot R_{eq} \cdot C}$$

ההתנגדות ש"רואה" הקבל
C לפי תבנית. - $R_{eq} \text{ } [\Omega]$

מסננים פעילים

א. מסנן מעביר נמוכים מסדר I



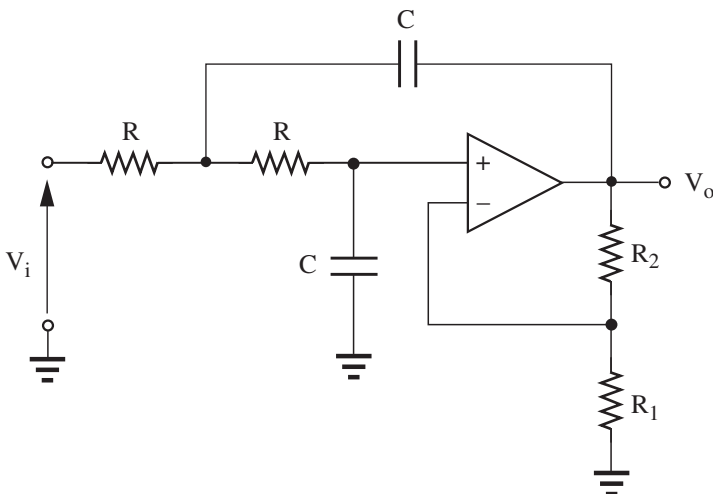
פונקציית תמסורת - $A_v(s)$

$$A_v(s) = \frac{V_o}{V_i} = \frac{1}{1 + RC \cdot s}$$

תדר קיטעון (תדר 3 dB) - $\omega_c \left[\frac{\text{rad}}{\text{sec}} \right]$

$$\omega_c = \frac{1}{RC}$$

ב. מסנן מעביר נמוכים מסדר II מסוג (Sallen and Key) VCVS



הגבר בתחום המעבר
(עבור $\omega = 0$) $- A_{v_o}$

$$A_v(s) = \frac{V_o}{V_i} = \frac{A_{v_o} \cdot \left(\frac{1}{RC}\right)^2}{s^2 + \left(\frac{3 - A_{v_o}}{RC}\right) \cdot s + \left(\frac{1}{RC}\right)^2}$$

$$\omega_c = \frac{1}{RC}$$

$$A_{v_o} = 1 + \frac{R_2}{R_1}$$

$$A_v(s) = \frac{V_o}{V_i} = \frac{A_{v_o}}{s^2 + (3 - A_{v_o}) \cdot s + 1}$$

עבור $\omega_c = 1 \frac{\text{rad}}{\text{sec}}$ מתקבלת פונקציה מנורמלת:

הערה: עבור מסנן מעביר גבוהים (HPF), יש להחליף במעגלים שבעמוד הקודם את המיקום בין נגדי R לקבלי C.

טבלת רבי האיברים המנורמלים (של המכנה) לפי באטרורת' (Butterworth)

הגורמים של רבי-האיברים	n
$(s + 1)$	1
$(s^2 + 1.414 s + 1)$	2
$(s + 1)(s^2 + s + 1)$	3
$(s^2 + 0.765 s + 1)(s^2 + 1.848 s + 1)$	4
$(s + 1)(s^2 + 0.618 s + 1)(s^2 + 1.618 s + 1)$	5
$(s^2 + 0.518 s + 1)(s^2 + 1.414 s + 1)(s^2 + 1.932 s + 1)$	6
$(s + 1)(s^2 + 0.445 s + 1)(s^2 + 1.247 s + 1)(s^2 + 1.802 s + 1)$	7
$(s^2 + 0.390 s + 1)(s^2 + 1.111 s + 1)(s^2 + 1.663 s + 1)(s^2 + 1.962 s + 1)$	8

n - סדר המסנן

מתנדים סינשוואידליים לתדר נמוך

קריטריון ברקהאוזן לקיום תנודות:

1. תנאי התנופה: $|\beta \cdot A| \geq 1$
 2. תנאי המופע: $\beta \cdot A = 0$
- A – הגבר בחוג פתוח
β – מקדם המשוב

מתנד גשר ווין

$$f = \frac{1}{2\pi RC}$$

- f [Hz] – תדר התנודות
- R [Ω] – ערכו של כל אחד מהנגדים
ברשת המשוב β
- C [F] – ערכו של כל אחד מהקבלים
ברשת המשוב β
- R_f [Ω] – נגד המשוב ברשת המשוב השלילי
- R_l [Ω] – נגד ברשת המשוב השלילי

$$\frac{R_f}{R_l} \geq 2$$

תדר התנודות ברשת משוב LC

$$f = \frac{1}{2\pi\sqrt{LC}}$$

- L [H] – השראות
- C [F] – קיבול

משוב שלילי

$$A_f = \frac{A}{1 + A\beta}$$

- A_f – הגבר בחוג סגור
- A – הגבר בחוג פתוח
- β – מקדם המשוב

בהצלחה!

אין להעביר את הנוסחאון
לנבחן אחר

מקום לנחלקת נבחן

נוסחאון בשפת תיאור חומרה VHDL לכיתה י"ד

(12 עמודים)

בלוקים עיקריים בשפה	
ENTITY __entity_name IS GENERIC (parameter_name : string := default_value; parameter_name : integer := default_value); PORT (input_name : IN STD_LOGIC ; input_vector_name : IN BIT_VECTOR (high downto low); bidir_name : INOUT STD_LOGIC ; output_name : OUT STD_LOGIC); END __entity_name;	מבנה כללי של ישות תכנית

בלוקים עיקריים בשפה	
ARCHITECTURE a OF __entity_name IS הצהרה על משאבי התוכנית BEGIN -- Process Statement -- Concurrent Procedure Call -- Concurrent Signal Assignment -- Conditional Signal Assignment -- Selected Signal Assignment -- Component Instantiation Statement -- Generate Statement END a;	מבנה כללי של גוף תכנית
__process_label: PROCESS (__signal_name, __signal_name) VARIABLE __variable_name : STD_LOGIC ; VARIABLE __variable_name : STD_LOGIC ; BEGIN -- Signal Assignment Statement -- Variable Assignment Statement -- Procedure Call Statement -- If Statement -- Case Statement -- Loop Statement END PROCESS __process_label;	מבנה כללי של הליך טורי

שימוש במבניות בתכנון היררכי	
COMPONENT __component_name GENERIC (__parameter_name : string := __default_value; __parameter_name : integer := __default_value); PORT (input_name, input_name : IN STD_LOGIC; bidir_name, bidir_name : INOUT STD_LOGIC; output_name, output_name : OUT STD_LOGIC); END COMPONENT ;	הצהרה על מבנית שבשימוש בתכנית האב
__instance_name: __component_name GENERIC MAP (parameter_name => parameter_value, parameter_name => parameter_value) PORT MAP (component_port => connect_port, component_port => connect_port);	שימוש במבנית בתכנון היררכי
__generate_label: FOR __index_variable IN __range GENERATE __statement; __statement; END GENERATE __generate_label;	שרשור מבניות GENERATE FOR בלולאת
__generate_label: IF __expression GENERATE __statement; __statement; END GENERATE __generate_label;	שרשור מותנה IF GENERATE

לולאות LOOPS	
<pre>__loop_label: FOR __index_variable IN __range LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת FOR
<pre>__loop_label: WHILE __boolean_expression LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת WHILE

התניות בגוף התכנית – מחוץ ל-PROCESS	
__signal <= __expression WHEN __boolean_expression ELSE __expression WHEN __boolean_expression ELSE __expression _____ ; דוגמה 1 : מימוש שער AND באמצעות פקודת "WHEN" פשוטה. Y <= '1' when (a = '1') and (b = '1') else '0' ; דוגמה 2 : מימוש שער AND באמצעות פקודת "WHEN" המשכית. Y <= '0' when (a = '0') and (b = '0') else '0' when (a = '0') and (b = '1') else '0' when (a = '1') and (b = '0') else '1' ;	התניית When ... Else
WITH __ expression SELECT __signal <= __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN others; _____ דוגמה: מימוש שער AND באמצעות פקודת התניה WITH .. SELECT Signal ab : bit_vector (1 downto 0); Begin ab <= a & b; with ab select y <= '0' when "00" , '0' when "01" , '0' when "10" , '1' when others ;	התניית With ... Select

התניות בהליך טורי – בתוך PROCESS	
IF __boolean_expression THEN __signal <= __ expression; ELSIF __boolean_expression THEN __signal <= __expression; ELSE __signal <= __expression; END IF;	התניית If .. Then .. Else
CASE __expression IS WHEN __constant_value => __statement; __statement; WHEN __constant_value => __statement; __statement; WHEN OTHERS => __statement; __statement; END CASE;	התניית CASE

דוגמה למימוש מפענח בהתניית CASE :

```

Process(s)
Begin
  Case s is
    When "00" => y <= "0001" ;
    When "01" => y <= "0010" ;
    When "10" => y <= "0100" ;
    When "11" => y <= "1000" ;

    End case;
  End process;

```

התניות בהליך טורי – בתוך PROCESS

התוכנית תבצע את טבלת האמת הבאה:

S : BIT_VECTOR (1 DOWNT0 0)		Y : BIT_VECTOR (3 DOWNT0 0)			
S1	S0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

library ieee;

use ieee.std_logic_1164.all;

entity DEMUX is

port (d : in bit;

s : in bit_vector (1 downto 0);

y : out bit_vector (3 downto 0);

end;

architecture behave of DEMUX is

begin

process

begin

case s is

when "00" => y <= '0' & '0' & '0' & d;

when "01" => y <= '0' & '0' & d & '0';

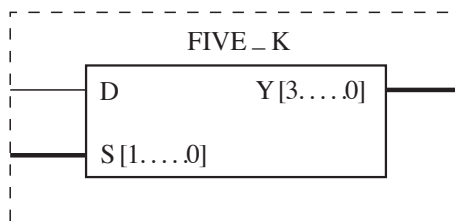
when "10" => y <= '0' & d & '0' & '0';

when "11" => y <= d & '0' & '0' & '0';

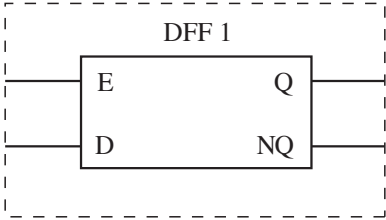
end case;

end process;

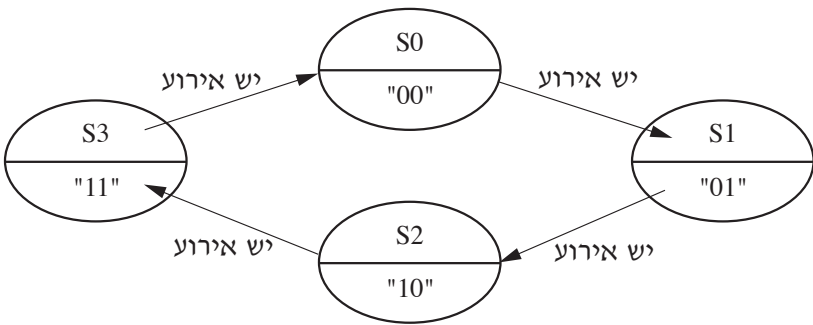
end behave;



דוגמה לתכנית
 שלמה המבצעת
 פעולת מפלג, תוך
 שימוש בהתניית
 CASE

התניות בהליך טורי – בתוך PROCESS		
wait; עצירה לעד אשר שימושית לעצירת סביבת בדיקה wait on ; רשימת משתנים wait until ; תנאי לוגי wait for ; מספר יחידות זמן		פקודת ההשהיה WAIT
Library ieee; Use ieee.std_logic_1164.all; Entity DFF is Port (e, d : in std_logic; Q : inout std_logic; Nq : out std_logic); End; Architecture behave of DFF is Begin Process (e) Begin Wait until e'event and e = '1' ; Q <= d; Nq <= not d; End process; End behave;		דוגמה למימוש DFF
התכנית יצרה סמל SYMBOL עפ"י הישות (ENTITY) בתכנית.		
		

דוגמאות נוספות																																		
Process (enable) Begin If pre = '1' then q <= '1' ; Elsif clr = '1' then q <= '0' ; Elsif enable 'event and enable = '1' then q <= d; End process; ההליך בדוגמא יבצע את הפעולות המתוארות בטבלת האמת הבאה: <table><tr><th>PRE</th><th>CLR</th><th>ENABLE</th><th>D</th><th>Q</th></tr><tr><td>1</td><td>0</td><td>Φ</td><td>Φ</td><td>1</td></tr><tr><td>0</td><td>1</td><td>Φ</td><td>Φ</td><td>0</td></tr><tr><td>0</td><td>0</td><td>אין עליה</td><td>Φ</td><td>נשמר מצב קודם</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>1</td><td>1</td></tr></table>				PRE	CLR	ENABLE	D	Q	1	0	Φ	Φ	1	0	1	Φ	Φ	0	0	0	אין עליה	Φ	נשמר מצב קודם	0	0	עליה	0	0	0	0	עליה	1	1	דוגמה למימוש DFF עם מבוואת ישירים
PRE	CLR	ENABLE	D	Q																														
1	0	Φ	Φ	1																														
0	1	Φ	Φ	0																														
0	0	אין עליה	Φ	נשמר מצב קודם																														
0	0	עליה	0	0																														
0	0	עליה	1	1																														
architecture EXAMPLE1 of ARRAY is type INTEGER_VECTOR is array (1 to 8) of integer; -- 1 -- type MATRIX_A is array (1 to 3) of INTEGER_VECTOR; -- 2 -- type MATRIX_B is array (1 to 4 , 1 to 8) of integer; signal MATRIX_3x8 : MATRIX_A; signal MATRIX_4x8 : MATRIX_B; begin MATRIX_3x8 (3) (5) <= 10; -- מערך בתוך מערך MATRIX_4x8 (4 , 5) <= 17; -- מערך דו־ממדי end EXAMPLE1;				דוגמאות ליצירה והצבה במערכים																														

דוגמאות נוספות	
 <pre> graph LR S0((S0 "00")) -- "יש אירוע" --> S1((S1 "01")) S1 -- "יש אירוע" --> S2((S2 "10")) S2 -- "יש אירוע" --> S3((S3 "11")) S3 -- "יש אירוע" --> S0 </pre>	דוגמה לכתיבת מונה במכונה מצבים
<pre> library ieee; use ieee.std_logic_1164.all; entity mealy_state_machine is port (clk : in bit; count_out : out bit_vector (1 downto 0)); end; architecture behave of mealy_state_machine is type state_type is (s0 , s1 , s2 , s3); -- names of states signal state : state_type; begin counting : process (clk) begin if clk'event and clk = '1' then -- positive edge event case state is when s0 => state <= s1; when s1 => state <= s2; when s2 => state <= s3; when s3 => state <= s0; end case; end if; end process counting; with state select count_out <= "00" when s0, "01" when s1, "10" when s2, "11" when s3; end behave; </pre>	

דוגמאות נוספות	
<pre> entity ADDER_FUNC is generic (max : integer := 15); port (A , B : in integer range 0 to max; SUM : out integer range 0 to MAX + MAX); end; architecture behave of ADDER_FUNC is function ADD (x , y : integer) return integer is variable s : integer; begin s := x + y; return s; end function ADD; begin sum <= ADD (a , b); -- הקריאה לפונקציה end behave; </pre>	דוגמה לתכנית המשתמשת בפונקציה המבצעת חיבור בין מספרים
<pre> library ieee; use ieee.std_logic_1164.all; entity adder_proc is port (A , B : in integer; SUM : out integer); end; architecture behave of adder_proc is procedure ADD (signal x , y : in integer; signal s : out integer) is begin s <= x + y; end procedure ADD; begin ADD (a , b , sum); end behave; </pre>	דוגמה לתכנית המשתמשת בפרוצדורה המבצעת חיבור בין מספרים

דוגמאות נוספות	
PACKAGE __package_name IS -- Type Declaration -- Subtype Declaration (FUNCTIONS , PROCEDURES) -- Constant Declaration -- Signal Declaration -- Component Declaration END __package_name; package body package_name is declarations deferred constant declaration subprogram bodies (תיאור פעולות הפונקציות והפרוצדורות) end package body package_name;	הגדרת PACKAGE

Mode	קריאה	כתיבה
in	כן	לא
out	לא	כן
inout	כן	כן
buffer	כן	כן

בהצלחה!