

סוג הבחינה: גמר לבתי-ספר לטכנאים ולהנדסאים

מועד הבחינה: אביב תשע"ו, 2016

סמל השאלון: 711003

נספחים: א. נוסחאון באלקטרוניקה

תקבילית ב' לכיתה י"ד

ב. נוסחאון בשפת תיאור חומרה

VHDL לכיתה י"ד

ג. מילון מונחים

אלקטרוניקה ומחשבים ה'

מגמת הנדסת אלקטרוניקה ומחשבים

(כיתה י"ד)

הוראות לנבחן

א. משך הבחינה: ארבע שעות.

ב. מבנה השאלון ומפתח ההערכה: בשאלון זה שני פרקים, ובהם שמונה שאלות. יש להשיב על ארבע שאלות בלבד, שאלה אחת לפחות מכל פרק.

לכל שאלה – 25 נקודות. סך-הכול – 100 נקודות.

ג. חומר עזר מותר לשימוש: מחשבון.

ד. הוראות מיוחדות:

- ענה על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר השאלות הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות נוספות.
- התחל כל תשובה לשאלה חדשה בעמוד חדש.
- רשום את כל תשובותיך אך ורק בעט.
- הקפד לנסח את תשובותיך כהלכה ולסרטט את תרשימיך בהירות.
- כתוב את תשובותיך בכתב-יד ברור, כדי לאפשר הערכה נאותה של תשובותיך.
- אם לדעתך חסרים נתונים הדרושים לפתרון שאלה, אתה רשאי להוסיף אותם, בתנאי שתנמק מדוע הוספת אותם.
- בכתיבת פתרונות חישוביים, קבלת מרב הנקודות מותנית בהשלמת כל המהלכים שלהלן, בסדר שבו הם רשומים:
 - * רישום הנוסחה המתאימה.
 - * הצבה של כל הערכים ביחידות המתאימות.
 - * חישוב (אפשר באמצעות מחשבון).
 - * רישום התוצאה המתקבלת, יחד עם יחידות המידה המתאימות.
 - * ליווי הפתרון החישובי בהסבר קצר.
- לנוחותך, לשאלון זה מצורף מילון מונחים בשפות עברית, ערבית, אנגלית ורוסית. תוכל להיעזר בו בעת הצורך.

בשאלון זה 11 עמודים ו-25 עמודי נספחים.

ההנחיות בשאלון זה מנוסחות בלשון זכר, אך מכוונות הן לנבחנות והן לנבחנים.

בהצלחה!

המשך מעבר לדף

www.elec4u.co.il

השאלות

ענה על ארבע מבין השאלות 1-8. עליך לענות על שאלה אחת לפחות מכל פרק.

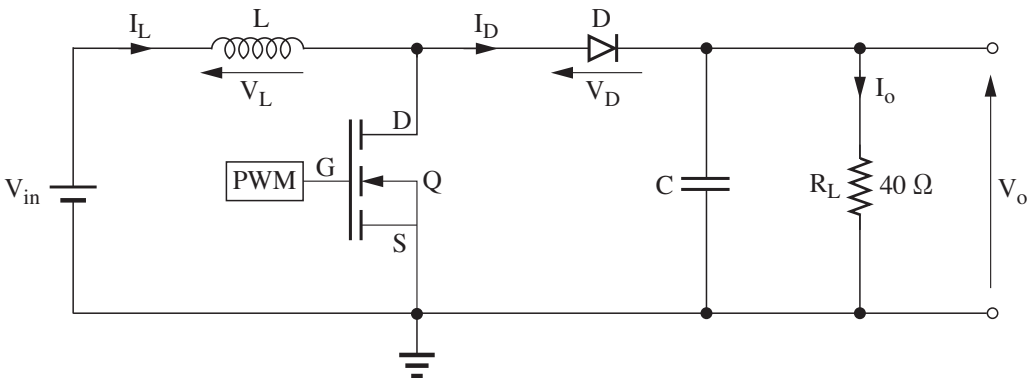
פרק ראשון: אלקטרוניקה תקבילית ב'

ענה על שאלה אחת לפחות מבין השאלות 1-4 (לכל שאלה - 25 נקודות).

שאלה 1

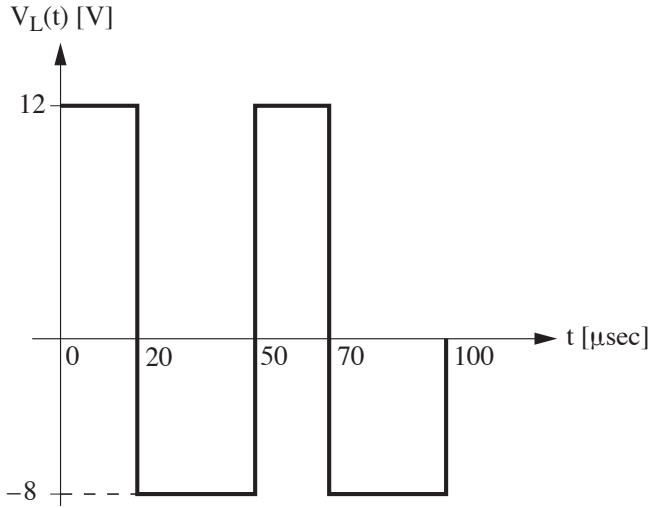
באיור א' לשאלה 1 נתון המעגל החשמלי של ממיר ממותג מסוג Boost (STEP UP).
רכיבי המיתוג במעגל - אידיאליים.

נתון כי השינוי בזרם הסליל הוא: $\Delta I_L = 0.1 \text{ A}$.



איור א' לשאלה 1

באיור ב' לשאלה מתואר המתח על הסליל כפונקציה של הזמן, במשך שני מחזורים.



איור ב' לשאלה 1

- א. מצא את מתח-המבוא, V_{in} , ואת מתח-המוצא V_o .
- ב. חשב את מחזור הפעולה (Duty Cycle) של הממיר.
- ג. העתק למחברתך את איור ב', וסרטט מתחתינו, בהתאמה, את הזרם העובר בסליל, $I_L(t)$, ואת הזרם העובר בדיודה, $I_D(t)$, כפונקציה של הזמן.
- ד. חשב את קיבול הקבל C, הנדרש כדי לקבל במוצא המעגל מתח אדווה של $\Delta V = 20 \text{ mV}$.

שאלה 2

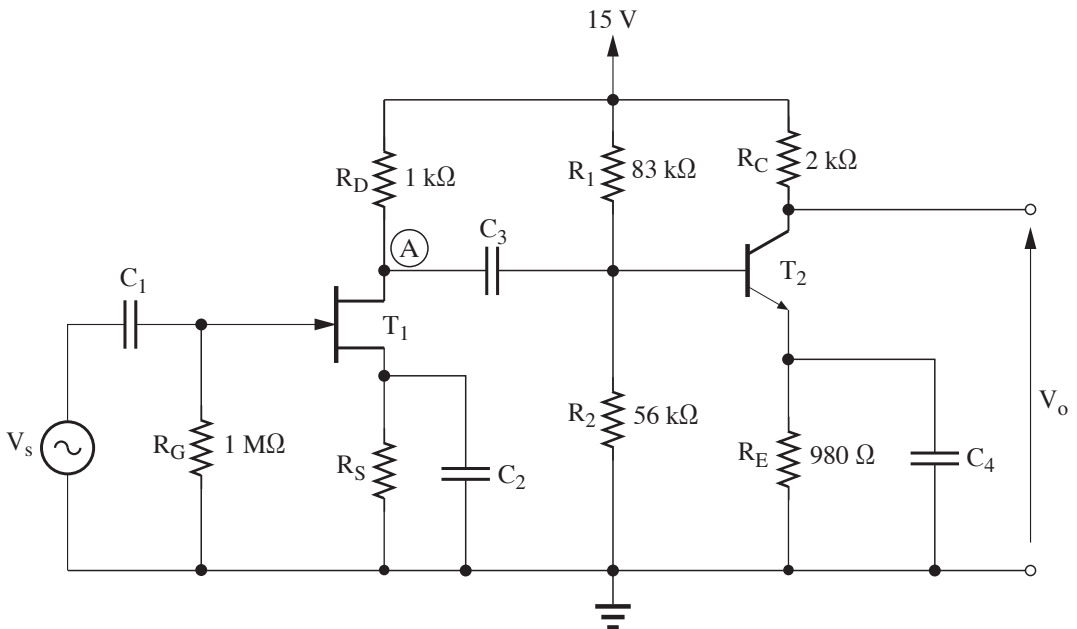
באיור לשאלה 2 מתואר המעגל החשמלי של מגבר, המורכב מטרנזיסטור תוצאה-שדה (FET) ומטרנזיסטור ביפולרי. נתוני הטרנזיסטור תוצאה-שדה (FET):

$$V_p = -3 \text{ V}, I_{DSS} = 30 \text{ mA}, g_m = 7 \text{ m}\Omega, r_d = \infty$$

נתוני הטרנזיסטור הביפולרי:

$$V_{BE} = 0.7 \text{ V}, h_{ie} = 400 \Omega, \beta = h_{fe} = 50$$

היגבי הקבלים במעגל – זניחים.



איור לשאלה 2

מתח ה-DC בנקודה (A) במעגל הוא: $V_A = 11.3 \text{ V}$.

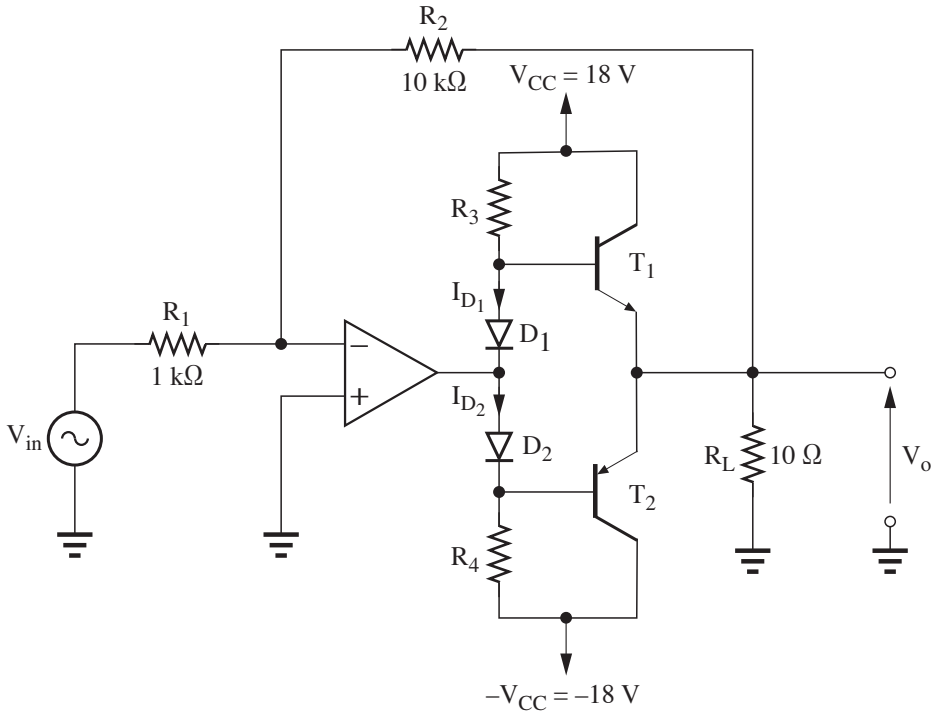
- א. חשב את נקודת-העבודה של הטרנזיסטור (I_D, V_{GS}) .
- ב. חשב את התנגדות הנגד R_S .
- ג. סרטט מעגל-תמורה לאות-חילופין (AC) של המעגל, וחשב את הגבר המתח $\frac{V_o}{V_s}$.

שאלה 3

באיור לשאלה 3 נתון מעגל חשמלי. מגבר השרת במעגל - אידיאלי.

נתוני הדיודות במעגל הם: $V_{D1} = V_{D2} = 0.7 \text{ V}$; $I_{D1} = I_{D2} = 1 \text{ mA}$

נתוני הטרנזיסטורים במעגל הם: $V_{BE1} = V_{EB2} = 0.7 \text{ V}$; $V_{CE1(\text{SAT})} = V_{EC2(\text{SAT})} = 0.5 \text{ V}$



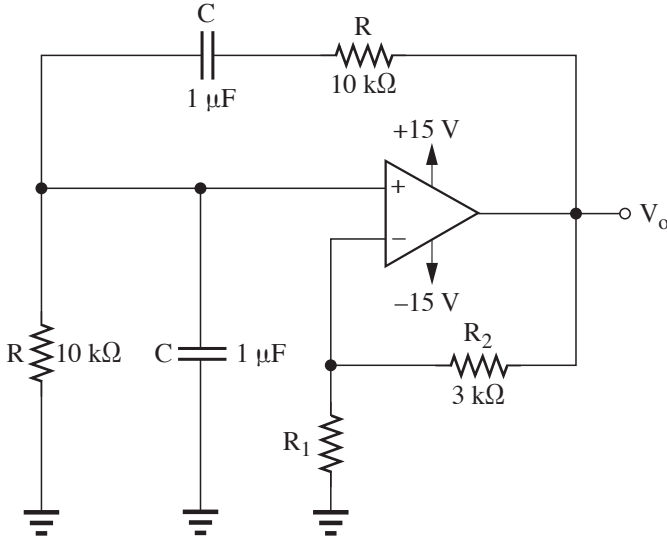
איור לשאלה 3

א. מהו הערך (RMS) של מתח-המבוא V_{in} , שיגרום להעברת הספק יעיל מרבי (מקסימלי) לנגד העומס R_L ?

ב. חשב את ההתנגדויות של הנגדים R_3 ו- R_4 , שיבטיחו פעולה תקינה של המעגל הזה. בחישוביך, הזנח את זרמי הבסיס של הטרנזיסטורים T_1 ו- T_2 .

שאלה 4

באיור לשאלה 4 נתון המעגל החשמלי של מתנד. מגבר השרת במעגל - אידיאלי.



איור לשאלה 4

- א. מהו סוג המתנד, ומהם תנאי היווצרות התנודות במעגל הזה?
- ב. חשב את תדר התנודות של המתנד.
- ג. חשב את ערכו של הנגד R_1 , הדרוש כדי לקבל תנודות במוצא המעגל.

פרק שני: שפת תיאור חומרה VHDL

ענה על שאלה אחת לפחות מבין השאלות 5-8 (לכל שאלה - 25 נקודות).

שאלה 5

להלן תכנית בשפת VHDL, המתארת מערכת ספרתית מסוימת.

```
1. ENTITY EX1 IS
2. PORT (x:IN BIT_VECTOR(3 DOWNT0 0) ;
3.       s:IN INTEGER RANGE 0 TO 3;
4.       y:OUT BIT) ;
5. END EX1;
6. ARCHITECTURE behave OF EX1 IS
7. BEGIN
8. PROCESS (x,s)
9. BEGIN
10.    FOR i IN 0 TO 3 LOOP
11.        IF s=i THEN y<=x(i) ;
12.        END IF;
13.    END LOOP;
14. END PROCESS;
15. END behave;
```

א. הסבר את ההוראות שבשורות 2, 3 ו-10.

ב. העתק את הטבלה שלהלן למחברתך, והשלם את החסר בה בהתאם לתכנית הנתונה כאשר $s = 3$ ו- $x = '1101'$.

x	s	i	האם התנאי מתקיים?	y
1101	3	0		
1101	3	1		
1101	3	2		
1101	3	3		

ג. 1. סרטט סמל למערכת הזו, וציין בו את המבואות ואת המוצא של המערכת.

2. איזו מערכת ספרתית מתוארת על-ידי התכנית הזו?

שאלה 6

להלן תכנית בשפת VHDL, המתארת מערכת ספרתית מסוימת.

```
1.  LIBRARY IEEE;
2.  USE IEEE.STD_LOGIC_1164.ALL;
3.  ENTITY EX2 IS
4.      PORT(clk, rst: IN STD_LOGIC;
5.           x      : IN STD_LOGIC;
6.           y      :OUT STD_LOGIC_VECTOR (1 DOWNT0 0));
7.  END EX2;
8.  ARCHITECTURE smachine OF EX2 IS
9.      TYPE mySTATES IS (s0, s1, s2, s3);
10.     SIGNAL currentS : mySTATES;
11.  BEGIN
12.     PROCESS (clk, rst)
13.     BEGIN
14.         IF rst='1' THEN
15.             currentS<=s0;
16.             y<="00";
17.         ELSIF (clk' Event AND clk = '1') THEN
18.             CASE currentS IS
19.                 WHEN s0 => IF x='1' THEN currentS<=s1;
20.                             y<="01";
21.                 END IF;
22.                 WHEN s1 => IF x='1' THEN currentS<=s2;
23.                             y<="10";
24.                 END IF;
25.                 WHEN s2 => IF x='1' THEN currentS <=s3;
26.                             y<="11";
27.                 END IF;
28.                 WHEN s3 => IF x='1' THEN currentS <=s0;
29.                             y<="00";
30.                 END IF;
31.             END CASE;
32.         END IF;
33.     END PROCESS;
34.  END smachine;
```


- א. הסבר את ההוראות שבשורות 9, 12 ו-17.
- ב. הסבר מה מבצע קטע התכנית שבשורות 19 ÷ 21.
- ג. סרטט את דיאגרמת המצבים של המערכת.
- ד. איזו מערכת ספרתית מתוארת על-ידי התכנית הזו?

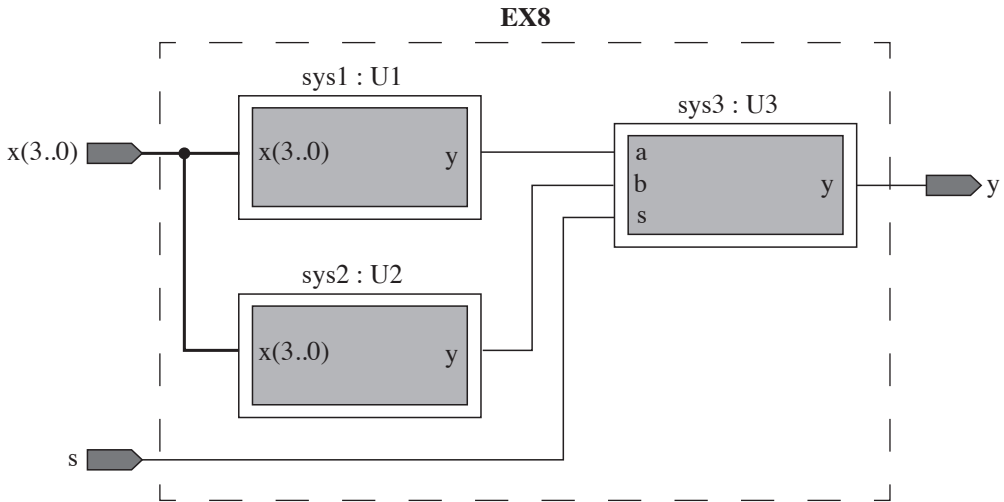
שאלה 7

כתוב תכנית בשפת VHDL למערכת ספרתית, שתבצע פעולות לוגיות בין שתי סיביות a ו-b, תוך שימוש בהוראת התניה WITH ... SELECT.
למערכת יהיה מבוא־בקרה s בגודל שתי סיביות לבחירת הפעולה הלוגית שתבצע בין הסיביות a ו-b:

- כאשר $s = "00"$ - המוצא מקבל את הערך של פעולת OR בין הסיביות a ו-b.
- כאשר $s = "01"$ - המוצא מקבל את הערך של פעולת AND בין הסיביות a ו-b.
- כאשר $s = "10"$ - המוצא מקבל את הערך של פעולת XOR בין הסיביות a ו-b.
- כאשר $s = "11"$ - המוצא מקבל את הערך של פעולת NAND בין הסיביות a ו-b.

שאלה 8

באיור לשאלה 8 מתואר המבנה הסכמתי של המערכת הספרתית EX8 הכוללת שלוש מבניות: sys1 , sys2 , sys3 .



איור לשאלה 8

להלן קוד בשפת VHDL עבור כל אחת מהמבניות:

```
ENTITY sys1 IS
    PORT(x : IN BIT_VECTOR(3 DOWNT0 0);
          y : OUT BIT);
END sys1;
ARCHITECTURE behave OF sys1 IS
BEGIN
    y<=(x(0) AND x(1)) OR (x(2) AND x(3));
END behave;
```

```
ENTITY sys2 IS
    PORT(x : IN BIT_VECTOR(3 DOWNT0 0);
          y : OUT BIT);
END sys2;
ARCHITECTURE behave OF sys2 IS
BEGIN
    y<=(NOT x(0) AND x(1)) OR (x(2) AND NOT x(3));
END behave;
```

```
ENTITY sys3 IS
    PORT(a, b, s : IN BIT;
          y : OUT BIT);
END sys3;
ARCHITECTURE behave OF sys3 IS
BEGIN
    y<=a WHEN s='0' ELSE b;
END behave;
```

- א. הסבר מה מבצעת כל אחת מהמבניות sys1 , sys2 , sys3 .
- ב. כתוב תכנית (TOP LEVEL) בשפת VHDL למימוש המערכת EX8 , בהתאם לעקרונות התכנון ההיררכי (שימוש בפקודות COMPONENT ו־PORT MAP).

בהצלחה!

זכות היוצרים שמורה למדינת ישראל.
אין להעתיק או לפרסם אלא ברשות משרד החינוך.

אין להעביר את הנוסחאון
לנבחן אחר

מקום למציאת נבחן

נוסחאון באלקטרוניקה תקבילית ב' לכיתה י"ד

(12 עמודים)

דיודת צומת

משוואת זרם-מתח של דיודה מעשית:

- זרם הדיודה - I_D [A]
- זרם זליגה אחורי - I_S [A]
- מתח הדיודה - V_D [V]
- מתח התלוי בטמפרטורה - V_T [V]

$$I_D = I_S \left(e^{\frac{V_D}{\eta V_T}} - 1 \right)$$

- מקדם - $\eta = \begin{cases} 1 - \text{גרמניום} \\ 2 - \text{סיליקון} \end{cases}$

$$V_D = \eta V_T \ln \left(\frac{I_D}{I_S} + 1 \right)$$

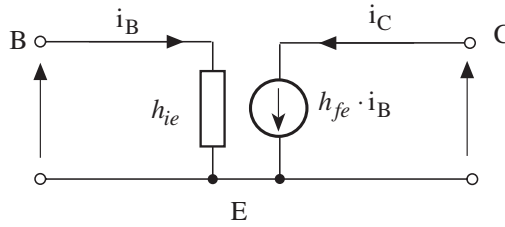
טרנזיסטור דו-נושאי (בתחום הפעיל)

- זרם קולט - I_C [A]
- זרם פולט - I_E [A]
- זרם בסיס - I_B [A]

$$I_C = \beta I_B, I_E = (\beta + 1) I_B, I_E = I_C + I_B$$

$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1}, \beta = \frac{\alpha}{1 - \alpha}$$

תרשים תמורה מקורב מסוג h של טרנזיסטור דו-נושאי



טרנזיסטור FET (אזור הרוויה)

- זרם אפיק - I_D [A]
- המתח בין השער למקור - V_{GS} [V]
- מתח צביטה - V_p [V]
- זרם האפיק עבור $V_{gs} = 0$

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2$$

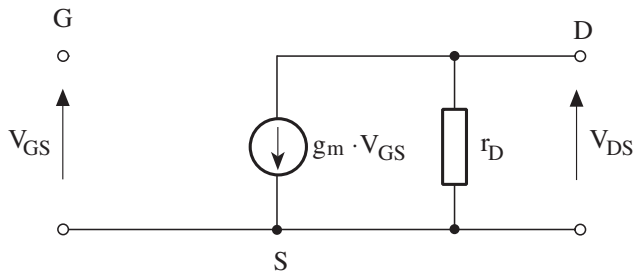
- זרם האפיק עבור $V_{gs} = 0$
- מוליכות החדית - g_m [S]

$$g_m = \frac{2I_{DSS}}{|V_p|} \left(1 - \frac{V_{GS}}{V_p} \right)$$

- מוליכות החדית עבור $V_{GS} = 0$

$$g_{m0} = \frac{2I_{DSS}}{|V_p|}$$

תרשים תמורה מקורב של FET



טרנזיסטור MOSFET (אזור הרוויה)

עבור טרנזיסטור מסוג N-CHANNEL:

מתח צביטה - V_T [V]

מקדם - $k \left[\frac{\text{mA}}{\text{V}^2} \right]$

$$I_D = k(V_{GS} - V_T)^2$$

תנאי הרוויה:

$$V_{GS} > V_T$$

$$V_{DS} > V_{GS} - V_T$$

הערה: מעגל התמורה לאות חילופין של טרנזיסטור MOSFET זהה לזה של טרנזיסטור FET.

מגברי הספק

מאזן הספקים

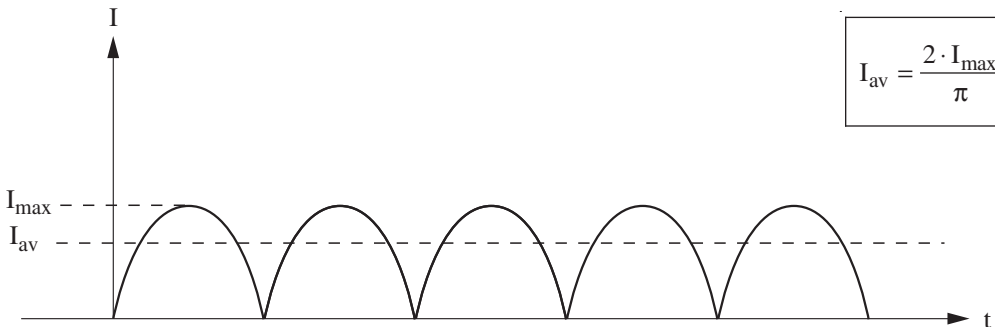
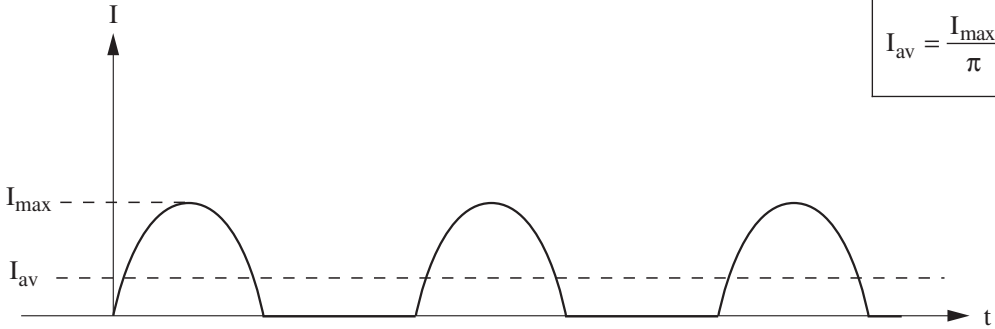
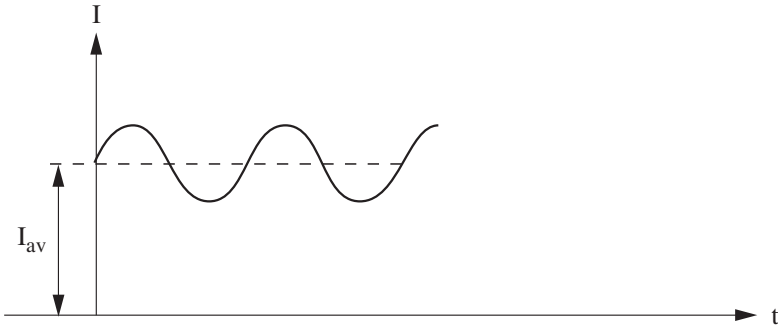
הספק מבוא	-	P_I	[W]
הספק נצרך מספק הכוח	-	P_{CC}	[W]
הספק העומס	-	P_L	[W]
הספק מבוזבז	-	P_{diss}	[W]
הספק המתפתח על העומס הנובע מאות חילופין	-	P_{LAC}	[W]
המתח היעיל על העומס	-	V_{Leff}	[V]
הזרם היעיל על העומס	-	I_{Leff}	[A]
נגד העומס	-	R_L	[Ω]
המתח הסינוסי המרבי על העומס	-	V_{Lmax}	[V]
הזרם הסינוסי המרבי דרך העומס	-	I_{Lmax}	[A]
הזרם הממוצע (DC)	-	I_{av}	[A]
המסופק על-ידי ספק-הכוח			

$$P_I + P_{CC} = P_L + P_{diss}$$

$$P_{LAC} = V_{Leff} \cdot I_{Leff} = \frac{V_{Leff}^2}{R_L} = I_{Leff}^2 \cdot R_L$$

$$V_{Leff} = \frac{V_{Lmax}}{\sqrt{2}}, \quad I_{Leff} = \frac{I_{Lmax}}{\sqrt{2}}$$

$$P_{CC} = V_{CC} \cdot I_{av}$$



מגברי הפרש

$$V_o = A_1 \cdot V_1 + A_2 \cdot V_2$$

מתח מבוא - V_1 [V]

$$A_1 = \frac{V_o}{V_1} \Big|_{V_2=0}$$

מתח מבוא - V_2 [V]

$$A_2 = \frac{V_o}{V_2} \Big|_{V_1=0}$$

$$A_d = \frac{A_1 - A_2}{2}$$

$$A_c = A_1 + A_2$$

הגבר הפרשי - A_d

$$CMRR = \left| \frac{A_d}{A_c} \right|$$

הגבר האות המשותף - A_c

$$V_o = A_d \cdot V_d + A_c \cdot V_c$$

יחס דחיית האות המשותף - CMRR

$$V_d = V_1 - V_2$$

הפרש מתחי המבוא - V_d [V]

$$V_c = \frac{V_1 + V_2}{2}$$

ממוצע הסכום של מתחי המבוא - V_c [V]

$$A_d = \frac{V_o}{V_d} \Big|_{V_c=0} = \frac{V_o}{2V_i}$$

$$A_c = \frac{V_o}{V_c} \Big|_{V_d=0} = \frac{V_o}{V_i}$$

ממירים ממותגים

א. ממירים

		$D = \frac{t_{on}}{t_{on} + t_{off}}$
מתח מוצא	- V_o [V]	
מתח מבוא	- V_{in} [V]	$V_o = D V_{in}$
הספק במוצא	- P_o [W]	
הספק במבוא	- P_{in} [W]	$V_o = \frac{V_{in}}{1-D}$
נצילות	- η	
מחזור פעולה	- D	
(Duty Cycle)		$P_o = \eta P_{in}$

ממיר STEP DOWN (BUCK)
(ללא הפסדים):

ממיר STEP UP (BOOST)
(ללא הפסדים):

ב. משוואת מתח-זרם של הסליל

מתח על-פני הסליל	- V_L [V]
השראות הסליל	- L [H]
השינוי בזרם הסליל	- ΔI_L [A]
השינוי בזמן	- ΔT [sec]

$$V_L = L \frac{\Delta I_L}{\Delta T}$$

ג. משוואת מתח-זרם של הקבל

זרם הקבל	- I_C [A]
קיבול	- C [F]
השינוי במתח על-פני הקבל	- ΔV_C [V]

$$I_C = C \frac{\Delta V_C}{\Delta T}$$

ד. מתח האדווה בממיר STEP DOWN

מתח אדווה	- ΔV [V]
תדר המיתוג	- f [Hz]

$$\Delta V = \frac{\Delta I_L}{8 \cdot f \cdot C} = \frac{V_{in} \cdot D \cdot (1-D)}{8 \cdot L \cdot C \cdot f^2}$$

ה. מתח האדווה בממיר STEP UP

זרם דרך נגד העומס	- I_o [A]
-------------------	-------------

$$\Delta V = \frac{I_o \cdot D}{f \cdot C}$$

היענות התדר של מגבר טרנזיסטורי

בתחום התדרים הנמוכים:

קבלי העקיפה והצימוד קובעים את תדר חצי ההספק התחתון.
 חישוב מקורב של תדר חצי ההספק התחתון f_L :

$$f_L \approx \sqrt{f_{L1}^2 + f_{L2}^2 + f_{L3}^2 \dots}$$

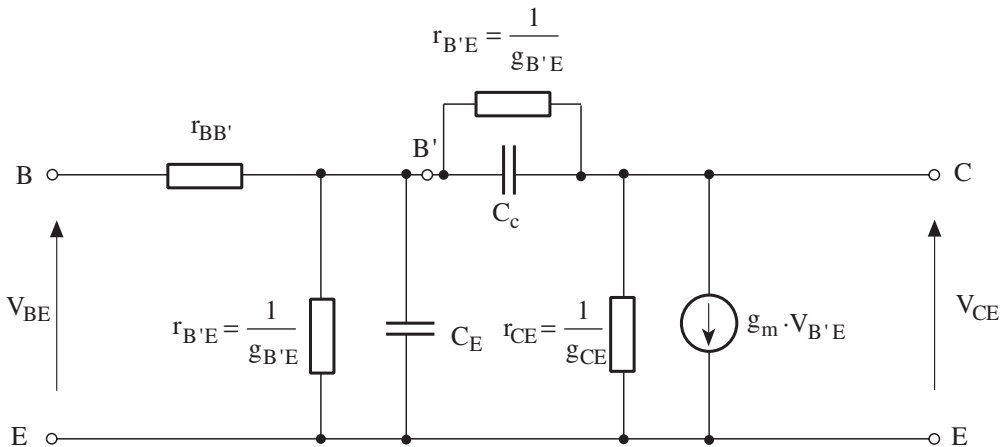
כאשר:

$$f_{Li} = \frac{1}{2\pi \cdot R_{eq} \cdot C_i}$$

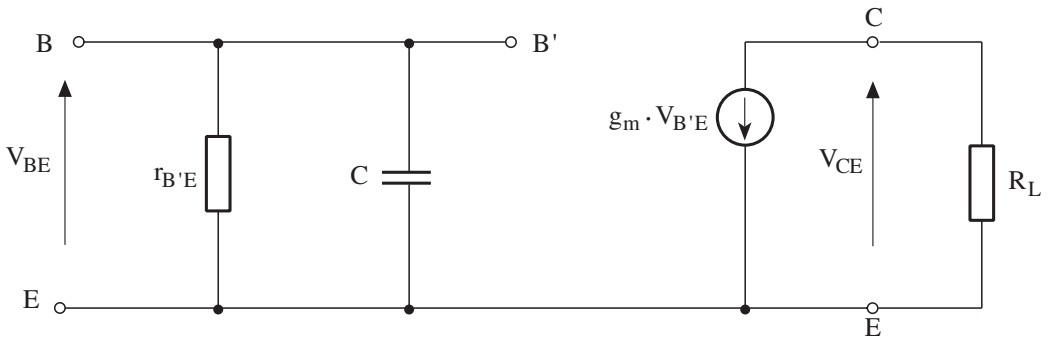
R_{eq} – ההתנגדות ש"רואה" הקבל C_i כאשר שאר הקבלים מקוצרים (וגם מתח הכניסה מקוצר)

בתחום התדרים הגבוהים:

תרשים תמורה מסוג π היברידי לחיבור פולט משותף בתדר גבוה



תרשים תמורה מקורב מסוג π היברידי עם נגד עומס R_L לחיבור פולט
משותף בתדר גבוה



$$C = C_e + C_c(1 + g_m R_L)$$

מוליכות ההעברה של
הטרנזיסטור - $g_m \left[\frac{1}{\Omega} \right]$

$$g_m = \frac{I_c \text{ (mA)}}{26}$$

התדר בו הגבר זרם הקצר
בתצורת פולט משותף
מגיע ל-1 - f_T [Hz]

$$f_T = \frac{g_m}{2\pi(C_e + C_c)} \cong \frac{g_m}{2\pi C_e}$$

הגבר הזרם - A_i

$$A_i = \frac{-h_{fe}}{1 + jh_{fe} \left(\frac{f}{f_T} \right)}$$

ערכו המעשי של רוחב הפס
של β במגבר - f_β [Hz]

$$f_\beta = \frac{g_m}{h_{fe} \cdot 2\pi(C_e + C_c)} = \frac{g_{B'E}}{2\pi(C_e + C_c)}$$

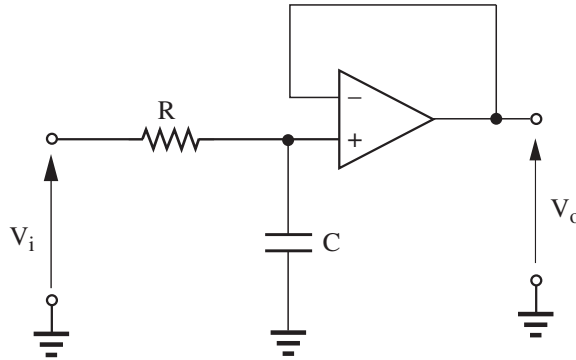
תדר גבולי עליון של
הטרנזיסטור - f_H [Hz]

$$f_H = \frac{1}{2\pi \cdot R_{eq} \cdot C}$$

ההתנגדות ש"רואה" הקבל
C לפי תבנית - R_{eq} [Ω]

מסננים פעילים

א. מסנן מעביר נמוכים מסדר I



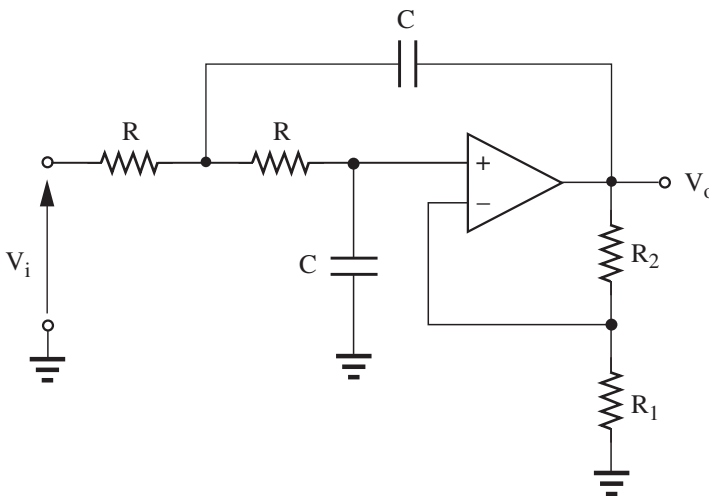
פונקציית תמסורת - $A_v(s)$

$$A_v(s) = \frac{V_o}{V_i} = \frac{1}{1 + RC \cdot s}$$

תדר קיטעון (תדר 3 dB) - $\omega_c \left[\frac{\text{rad}}{\text{sec}} \right]$

$$\omega_c = \frac{1}{RC}$$

ב. מסנן מעביר נמוכים מסדר II מסוג (Sallen and Key) VCVS



הגבר בתחום המעבר
(עבור $\omega = 0$) - A_{V_o}

$$A_V(s) = \frac{V_o}{V_i} = \frac{A_{V_o} \cdot \left(\frac{1}{RC}\right)^2}{s^2 + \left(\frac{3-A_{V_o}}{RC}\right) \cdot s + \left(\frac{1}{RC}\right)^2}$$

$$\omega_c = \frac{1}{RC}$$

$$A_{V_o} = 1 + \frac{R_2}{R_1}$$

$$A_V(s) = \frac{V_o}{V_i} = \frac{A_{V_o}}{s^2 + (3-A_{V_o}) \cdot s + 1}$$

עבור $\omega_c = 1 \frac{\text{rad}}{\text{sec}}$ מתקבלת פונקציה מנורמלת:

הערה: עבור מסנן מעביר גבוהים (HPF), יש להחליף במעגלים שבעמוד הקודם את המיקום בין נגדי R לקבלי C.

טבלת רבי האיברים המנורמלים (של המכנה) לפי באטרורת' (Butterworth)

הגורמים של רבי האיברים	n
$(s + 1)$	1
$(s^2 + 1.414 s + 1)$	2
$(s + 1)(s^2 + s + 1)$	3
$(s^2 + 0.765 s + 1)(s^2 + 1.848 s + 1)$	4
$(s + 1)(s^2 + 0.618 s + 1)(s^2 + 1.618 s + 1)$	5
$(s^2 + 0.518 s + 1)(s^2 + 1.414 s + 1)(s^2 + 1.932 s + 1)$	6
$(s + 1)(s^2 + 0.445 s + 1)(s^2 + 1.247 s + 1)(s^2 + 1.802 s + 1)$	7
$(s^2 + 0.390 s + 1)(s^2 + 1.111 s + 1)(s^2 + 1.663 s + 1)(s^2 + 1.962 s + 1)$	8

n - סדר המסנן

מתנדים סינוסואידליים לתדר נמוך

קריטריון ברקהאוזן לקיום תנודות:

1. תנאי התנופה: $|\beta \cdot A| \geq 1$

2. תנאי המופע: $\angle \beta \cdot A = 0$

A - הגבר בחוג פתוח

β - מקדם המשוב

מתנד גשר ויין

$$f = \frac{1}{2\pi RC}$$

f [Hz] - תדר התנודות

R [Ω] - ערכו של כל אחד מהנגדים
ברשת המשוב β

C [F] - ערכו של כל אחד מהקבלים
ברשת המשוב β

R_f [Ω] - נגד המשוב ברשת המשוב השלילי

R₁ [Ω] - נגד ברשת המשוב השלילי

$$\frac{R_f}{R_1} \geq 2$$

תדר התנודות ברשת משוב LC

$$f = \frac{1}{2\pi\sqrt{LC}}$$

L [H] - השראות

C [F] - קיבול

משוב שלילי

A_f - הגבר בחוג סגור

A - הגבר בחוג פתוח

β - מקדם המשוב

$$A_f = \frac{A}{1 + A\beta}$$

בהצלחה!

מקום לנספח בקת נבחן

אין להעביר את הנוסחאון
לנבחן אחר

נוסחאון בשפת תיאור חומרה VHDL לכיתה י"ד

(12 עמודים)

בלוקים עיקריים בשפה

ENTITY__entity_name IS

GENERIC (parameter_name : string := default_value;
parameter_name : integer := default_value);

PORT (

input_name : IN STD_LOGIC;
input_vector_name : IN BIT_VECTOR (high downto low);
bidir_name : INOUT STD_LOGIC;
output_name : OUT STD_LOGIC);

END__entity_name;

מבנה כללי של
ישות תכנית

בלוקים עיקריים בשפה	
<pre>ARCHITECTURE a OF __entity_name IS הצהרה על משאבי התוכנית BEGIN -- Process Statement -- Concurrent Procedure Call -- Concurrent Signal Assignment -- Conditional Signal Assignment -- Selected Signal Assignment -- Component Instantiation Statement -- Generate Statement END a;</pre>	מבנה כללי של גוף תכנית
<pre>__process_label: PROCESS (__signal_name, __signal_name) VARIABLE __variable_name : STD_LOGIC; VARIABLE __variable_name : STD_LOGIC; BEGIN -- Signal Assignment Statement -- Variable Assignment Statement -- Procedure Call Statement -- If Statement -- Case Statement -- Loop Statement END PROCESS __process_label;</pre>	מבנה כללי של הליך טורי

שימוש במבניות בתכנון היררכי	
<pre> COMPONENT __component_name GENERIC (__parameter_name : string := __default_value; __parameter_name : integer := __default_value); PORT (input_name, input_name : IN STD_LOGIC; bidir_name, bidir_name : INOUT STD_LOGIC; output_name, output_name : OUT STD_LOGIC); END COMPONENT; </pre>	<p>הצהרה על מבנית שבשימוש בתכנית האב</p>
<pre> __instance_name: __component_name GENERIC MAP (parameter_name => parameter_value, parameter_name => parameter_value) PORT MAP (component_port => connect_port, component_port => connect_port); </pre>	<p>שימוש במבנית בתכנון היררכי</p>
<pre> __generate_label: FOR __index_variable IN __range GENERATE __statement; __statement; END GENERATE __generate_label; </pre>	<p>שרשור מבניות GENERATE בלולאת FOR</p>
<pre> __generate_label: IF __expression GENERATE __statement; __statement; END GENERATE __generate_label; </pre>	<p>שרשור מותנה IF GENERATE</p>

לולאות LOOPS	
<pre>__loop_label: FOR __index_variable IN __range LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת FOR
<pre>__loop_label: WHILE __boolean_expression LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת WHILE

התניות בגוף התכנית – מחוץ ל-PROCESS	
<p>__signal <= __expression WHEN __boolean_expression ELSE __expression WHEN __boolean_expression ELSE __expression _____ ;</p> <p>דוגמה 1 : מימוש שער AND באמצעות פקודת "WHEN" פשוטה. Y <= '1' when (a = '1') and (b = '1') else '0' ;</p> <p>דוגמה 2 : מימוש שער AND באמצעות פקודת "WHEN" המשכית. Y <= '0' when (a = '0') and (b = '0') else '0' when (a = '0') and (b = '1') else '0' when (a = '1') and (b = '0') else '1' ;</p>	<p>התנית</p> <p>When ... Else</p>
<p>WITH __ expression SELECT __signal <= __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN others;</p> <p style="text-align: center;">_____</p> <p>דוגמה: מימוש שער AND באמצעות פקודת התניה WITH .. SELECT Signal ab : bit_vector (1 downto 0); Begin ab <= a & b; with ab select y <= '0' when "00" , '0' when "01" , '0' when "10" , '1' when others ;</p>	<p>התנית</p> <p>With ... Select</p>

PROCESSES בהליך טורי - בתוך PROCESS	
<pre> IF __boolean_expression THEN __signal <= __ expression; ELSIF __boolean_expression THEN __signal <= __expression; ELSE __signal <= __expression; END IF; </pre>	<p>התניית</p> <p>If .. Then .. Else</p>
<pre> CASE __expression IS WHEN __constant_value => __statement; __statement; WHEN __constant_value => __statement; __statement; WHEN OTHERS => __statement; __statement; END CASE; </pre>	<p>התניית CASE</p>

: דוגמה למימוש מפענח בהתניית CASE

```

Process(s)
Begin
    Case s is
        When "00" => y <= "0001" ;
        When "01" => y <= "0010" ;
        When "10" => y <= "0100" ;
        When "11" => y <= "1000" ;

    End case;
End process;
                
```

התניות בהליך טורי – בתוך PROCESS

התוכנית תבצע את טבלת האמת הבאה:

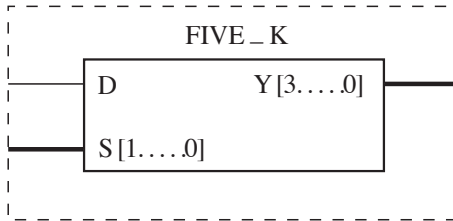
S : BIT_VECTOR (1 DOWNTO 0)		Y : BIT_VECTOR (3 DOWNTO 0)			
S1	S0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

```

library ieee;
use ieee.std_logic_1164.all;

entity DEMUX is
port (d : in bit;
      s : in bit_vector (1 downto 0);
      y : out bit_vector (3 downto 0);
end;

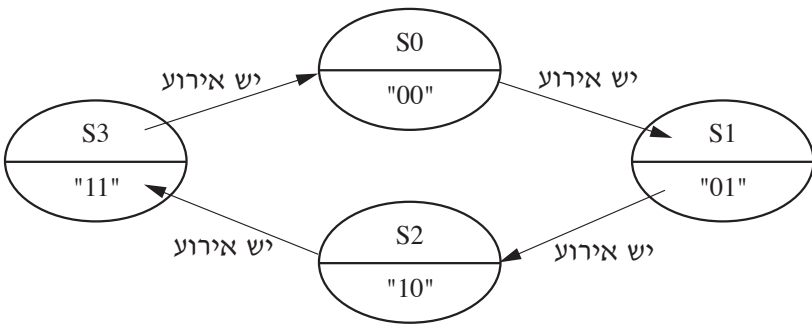
architecture behave of DEMUX is
begin
process (s)
begin
case s is
when "00" => y <= '0' & '0' & '0' & d;
when "01" => y <= '0' & '0' & d & '0';
when "10" => y <= '0' & d & '0' & '0';
when "11" => y <= d & '0' & '0' & '0';
end case;
end process;
end behave;
    
```



דוגמה לתכנית שלמה המבצעת פעולת מפלג, תוך שימוש בהתניות CASE

התניות בהליך טורי – בתוך PROCESS	
<p>wait; עצירה לעד אשר שימושית לעצירת סביבת בדיקה</p> <p>wait on רשימת משתנים ;</p> <p>wait until תנאי לוגי ;</p> <p>wait for מספר יחידות זמן ;</p>	<p>פקודת השהיה</p> <p>WAIT</p>
<pre> Library ieee; Use ieee.std_logic_1164.all; Entity DFF1 is Port (e, d : in std_logic; Q : inout std_logic; Nq : out std_logic); End DFF1; Architecture behave of DFF1 is Begin Process Begin Wait until e'event and e = '1' ; Q <= d; Nq <= not d; End process; End behave; </pre> <p>התכנית יצרה סמל SYMBOL עפ"י הישות (ENTITY) בתכנית.</p> <div style="text-align: center;"> </div>	<p>דוגמה למימוש</p> <p>DFF</p>

דוגמאות נוספות																															
<p>Process (enable) Begin If pre = '1' then q <= '1' ; Elsif clr = '1' then q <= '0' ; Elsif enable 'event and enable = '1' then q <= d; End process;</p> <p>ההליך בדוגמא יבצע את הפעולות המתוארות בטבלת האמת הבאה:</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>PRE</th> <th>CLR</th> <th>ENABLE</th> <th>D</th> <th>Q</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>F</td> <td>F</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>F</td> <td>F</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>אין עליה</td> <td>F</td> <td>נשמר מצב קודם</td> </tr> <tr> <td>0</td> <td>0</td> <td>עליה</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>עליה</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	PRE	CLR	ENABLE	D	Q	1	0	F	F	1	0	1	F	F	0	0	0	אין עליה	F	נשמר מצב קודם	0	0	עליה	0	0	0	0	עליה	1	1	<p>דוגמה למימוש DFF עם מבוואת ישירים</p>
PRE	CLR	ENABLE	D	Q																											
1	0	F	F	1																											
0	1	F	F	0																											
0	0	אין עליה	F	נשמר מצב קודם																											
0	0	עליה	0	0																											
0	0	עליה	1	1																											
<p>architecture EXAMPLE1 of ARRAY is</p> <p> type INTEGER_VECTOR is array (1 to 8) of integer; -- 1 -- type MATRIX_A is array (1 to 3) of INTEGER_VECTOR; -- 2 -- type MATRIX_B is array (1 to 4 , 1 to 8) of integer;</p> <p> signal MATRIX_3x8 : MATRIX_A; signal MATRIX_4x8 : MATRIX_B;</p> <p>begin</p> <p> MATRIX_3x8 (3) (5) <= 10; -- מערך בתוך מערך -- MATRIX_4x8 (4 , 5) <= 17; -- מערך דור־ממדי --</p> <p>end EXAMPLE1;</p>	<p>דוגמאות ליצירה והצבה במערכים</p>																														

דוגמאות נוספות	
 <pre> graph TD S0((S0 "00")) -- יש אירוע --> S1((S1 "01")) S1 -- יש אירוע --> S2((S2 "10")) S2 -- יש אירוע --> S3((S3 "11")) S3 -- יש אירוע --> S0 </pre>	<p>דוגמה לכתיבת מונה במכונת מצבים</p>
<pre> library ieee; use ieee.std_logic_1164.all; entity state_machine is port (clk : in bit; count_out : out bit_vector (1 downto 0)); end state_machine; architecture behave of state_machine is type state_type is (s0 , s1 , s2 , s3); -- names of states signal state : state_type; begin counting : process (clk) begin if clk'event and clk = '1' then -- positive edge event case state is when s0 => state <= s1; when s1 => state <= s2; when s2 => state <= s3; when s3 => state <= s0; end case; end if; end process counting; with state select count_out <= "00" when s0, "01" when s1, "10" when s2, "11" when s3; end behave; </pre>	

דוגמאות נוספות	
<pre>entity ADDER_FUNC is generic (max : integer := 15); port (A , B : in integer range 0 to max; SUM : out integer range 0 to MAX + MAX); end; architecture behave of ADDER_FUNC is function ADD (x , y : integer) return integer is variable s : integer; begin s := x + y; return s; end function ADD; begin sum <= ADD (a , b); -- הקריאה לפונקציה end behave;</pre>	דוגמה לתכנית המשתמשת בפונקציה המבצעת חיבור בין מספרים
<pre>library ieee; use ieee.std_logic_1164.all; entity adder_proc is port (A , B : in integer; SUM : out integer); end; architecture behave of adder_proc is procedure ADD (signal x , y : in integer; signal s : out integer) is begin s <= x + y; end procedure ADD; begin ADD (a , b , sum); end behave;</pre>	דוגמה לתכנית המשתמשת בפרוצדורה המבצעת חיבור בין מספרים

דוגמאות נוספות	
<pre> PACKAGE __package_name IS -- Type Declaration -- Subtype Declaration (FUNCTIONS , PROCEDURES) -- Constant Declaration -- Signal Declaration -- Component Declaration END __package_name; package body package_name is declarations deferred constant declaration subprogram bodies (תיאור פעולות הפונקציות והפרוצדורות) end package body package_name;</pre>	<p>הגדרת PACKAGE</p>

Mode	קריאה	כתיבה
in	כן	לא
out	לא	כן
inout	כן	כן
buffer	כן	כן

בהצלחה!

נספח: מילון מונחים

לשאלון 711003, אביב תשע"ו

תרגום המונח			המונח
אנגלית	רוסית	ערבית	
input signal	Входной сигнал	إشارة دخل	אות־מבוא
output signal	Выходной сигнал	إشارة خرج	אות־מוצא
states diagram	Диаграмма состояний	مُخطَّط العلاقات	דיאגרמת מצבים
effective power	Эффективная мощность	القدرة الفعّالة	הספק יעיל
components	Составляющие	عَنَاصِر / مكوّنات	מבניות
amplifier	Усилитель	مكبر	מגבר
switching converter	Коммутируемый преобразователь	محوّل تبديل	ממיר ממותג
alternative circuit	Схема замещения	الدائرة البديلة	מעגל תמורה
digital system	Синхронный автомат	نظام رقمي	מערכת ספרתית
oscillator	Генератор колебаний	مذبذب	מתנד
bias point	Рабочая точка	نقطة الانحياز / نقطة التشغيل	נקודת־העבודה
bit	Бит	بت	סיבית
symbol	Символ	رمز	סמל
logic operation	Логические операции	عملية منطقيّة	פעולה לוגית
vibrations frequency	Частота колебаний	تردد الذبذبات	תדר התנודות
hierarchical design	Иерархическое программирование	تصميم مرتبي	תכנון היררכי