

סוג הבחינה: גמר לבתי-ספר לטכנאים ולהנדסאים

מועד הבחינה: אביב תשע"ז, 2017

סמל השאלון: 711003

נספחים: א. נספח לשאלה 4

ב. נוסחאון באלקטרוניקה

ספרתית ב' לכיתה י"ד

ג. נוסחאון בשפת תיאור חומרה

VHDL לכיתה י"ד

ד. מילון מונחים

אלקטרוניקה ומחשבים ה'

מגמת הנדסת אלקטרוניקה ומחשבים

(כיתה י"ד)

הוראות לנבחן

א. משך הבחינה: ארבע שעות.

ב. מבנה השאלון ומפתח ההערכה: בשאלון זה שני פרקים, ובהם שמונה שאלות. יש להשיב על **ארבע שאלות בלבד**, שאלה אחת לפחות מכל פרק.

לכל שאלה – 25 נקודות. סך-הכול – 100 נקודות.

ג. חומר עזר מותר לשימוש: מחשבון.

ד. הוראות מיוחדות:

- ענה על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר השאלות הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות נוספות.
- התחל כל תשובה לשאלה חדשה בעמוד חדש.
- רשום את כל תשובותיך **אך ורק בעט**.
- הקפד לנסח את תשובותיך כהלכה ולסרטט את תרשימיך בבהירות.
- כתוב את תשובותיך בכתב-יד ברור, כדי לאפשר הערכה נאותה של תשובותיך.
- אם לדעתך חסרים נתונים הדרושים לפתרון שאלה, אתה רשאי להוסיף אותם, בתנאי שתנמק מדוע הוספת אותם.
- בכתיבת פתרונות חישוביים, קבלת מֶרֶב הנקודות מותנית בהשלמת כל המהלכים שלהלן, בסדר שבו הם רשומים:
 - * רישום הנוסחה המתאימה.
 - * הצבה של כל הערכים ביחידות המתאימות.
 - * חישוב (אפשר באמצעות מחשבון).
 - * רישום התוצאה המתקבלת, יחד עם יחידות המידה המתאימות.
 - * ליווי הפתרון החישובי בהסבר קצר.
- לנוחותך, לשאלון זה מצורף מילון מונחים בשפות עברית, ערבית, אנגלית ורוסית. תוכל להיעזר בו בעת הצורך.

בשאלון זה 13 עמודים ו-20 עמודי נספחים.

ההנחיות בשאלון זה מנוסחות בלשון זכר, אך מכוונות הן לנבחנות והן לנבחנים.

בהצלחה!

◀ המשך מעבר לדף

השאלות

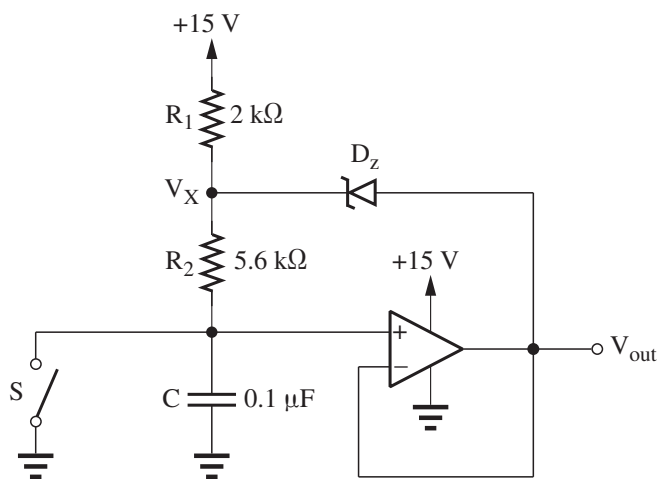
ענה על ארבע מבין השאלות 1-8. עליך לענות על שאלה אחת לפחות מכל פרק.

פרק ראשון: אלקטרוניקה ספרתית ב'

ענה על שאלה אחת לפחות מבין השאלות 1-4 (לכל שאלה - 25 נקודות).

שאלה 1

באיור לשאלה 1 נתון המעגל החשמלי של מחולל בסיס-זמן. מגבר-השרת במעגל - אידיאלי. מתח הפריצה של דיודת-הזנר הוא $V_Z = 5.6 \text{ V}$. המתג S נפתח ונסגר לסירוגין כל 0.5 msec .

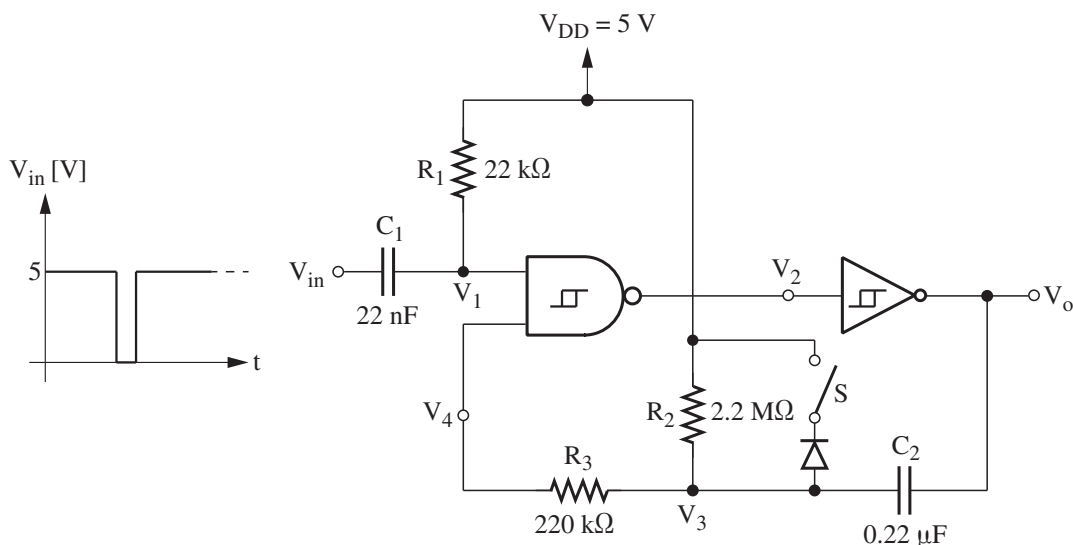


איור לשאלה 1

- א. הסבר את פעולת המעגל הזה.
- ב. חשב את תנופת מתח-המוצא V_{out} ואת התדר שלו.
- ג. סרטט, זה מתחת לזה בהתאמה, שני מחזורים של המתחים V_X ו- V_{out} כפונקציה של הזמן. ציין בסרטוטך ערכי מתחים וזמנים.
- ד. חשב את הערך המרבי (המקסימלי) ואת הערך המזערי (המינימלי) של הזרם בדיודת-הזנר.

שאלה 2

באיור א' לשאלה 2 נתון המעגל החשמלי של רב־רטט חד־יציב. הוא ממומש באמצעות שערים ממשפחת CMOS בעלי מתח־סף $V_{TH} = 2.5 \text{ V}$. הדיודה במעגל – אידיאלית, והמפסק S פתוח. מתח־המבוא V_{in} מתואר באיור ב' לשאלה – אות דירבון צר היורד מ־ 5 V ל־ 0 V , וחוזר לערך של 5 V .



איור ב' לשאלה 2

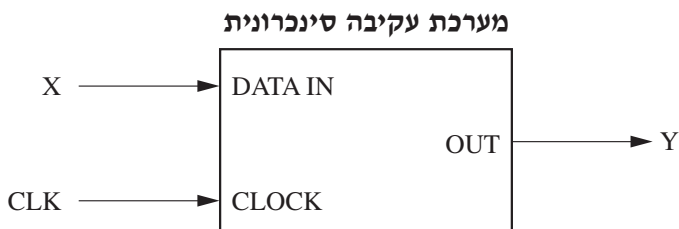
איור א' לשאלה 2

- מהו הערך של כל אחד מן המתחים V_1, V_2, V_3, V_4 ו־ V_0 במצב היציב? נמק את תשובתך.
- סרטט, זה מתחת לזה בהתאמה, את המתחים V_{in}, V_1, V_3 ו־ V_0 כפונקציה של הזמן.
- חשב את משך הזמן הלא־יציב (t_d) במוצא המעגל V_0 .
- סוגרים את המפסק S.

מה תהיה ההשפעה של חיבור הדיודה במקביל לנגד R_2 על פעולת המעגל?

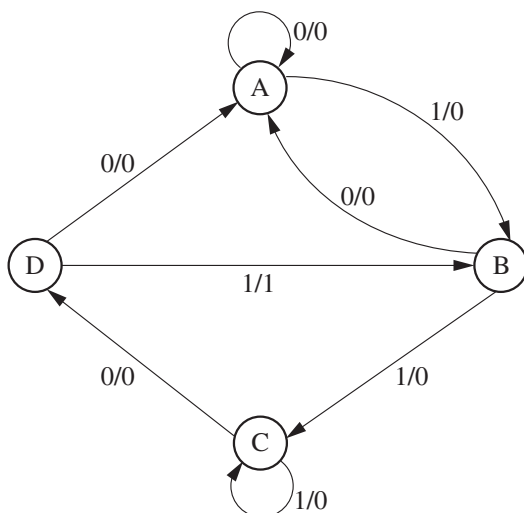
שאלה 3

באיור א' לשאלה 3 נתונה מערכת עקיבה סינכרונית בעלת מבוא X ומוצא Y, שתמומש באמצעות דלגלי JK-FF ושערים לוגיים.



איור א' לשאלה 3

באיור ב' לשאלה 3 נתונה דיאגרמת בועות, המתארת את הנדרש ממערכת העקיבה הזו. **Ⓐ** הוא המצב ההתחלתי של המערכת. לצד כל חץ שבין שני מצבים בדיאגרמה מופיע סימול מספרי שצורתו X / Y, כאשר X מייצג את הערך במבוא המערכת ו-Y מייצג את הערך במוצאה.



איור ב' לשאלה 3

הקצאת ערכים בינאריים למצבי המערכת מתבצעת על-פי קוד Gray, כמפורט בטבלה שלהלן:

הערך הבינארי	המצב
00	A
01	B
11	C
10	D

א. היעזר באיור ב', והסבר מה מבצעת מערכת העקיבה הזו.

ב. רשום את:

1. טבלת המצבים של המערכת.

2. טבלת המעברים של המערכת.

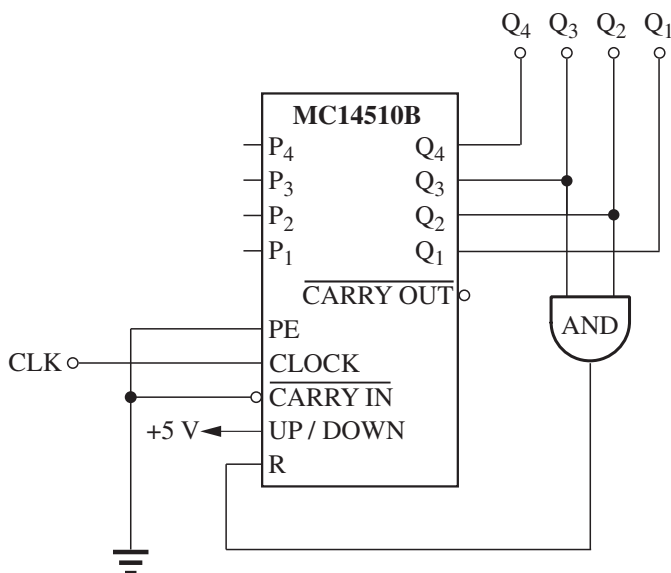
3. טבלת העירור של המערכת.

ג. מצא את הפונקציות של המבואות J ו-K בכל אחד מן הדלגלים ואת פונקציית-המוצא Y של המערכת, ובטא אותן במינימום ליטרלים.

ד. ממש את המערכת באמצעות דלגלים מסוג JK ושערים לוגיים.

שאלה 4

באיור לשאלה 4 נתון מעגל חשמלי הכולל את המונה MC14510B ושער AND.
בנספח לשאלה 4 נתונים דפי-המפרט של המונה.
המצב ההתחלתי של מוצאי המונה הוא: $Q_1 = Q_2 = Q_3 = Q_4 = '0'$.



איור לשאלה 4

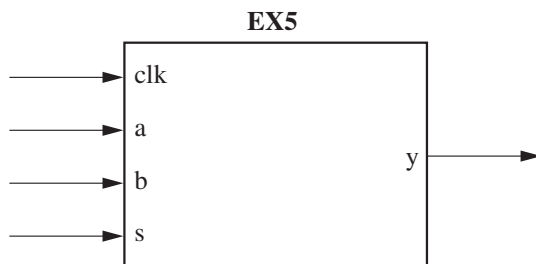
- א. הסבר את תפקידו של כל אחד מן ההדקים $\overline{CARRY IN}$ ו- $\overline{CARRY OUT}$.
- ב. רשום את טבלת-האמת של המוצאים $Q_4 \div Q_1$, עבור עשרה דפקים של אות-שעון CLK.
- ג. מהו ייעודו של המעגל הזה?
- ד. סרטט מעגל חשמלי של מונה דו-ספרתי מ-0 עד 59 (בעל 60 מצבים), הכולל שני מונים מהסוג MC14510B ושערים לוגיים כרצונך.

פרק שני: שפת תיאור חומרה VHDL

ענה על שאלה אחת לפחות מבין השאלות 5-8 (לכל שאלה - 25 נקודות).

שאלה 5

באיור לשאלה 5 נתון הסמל של מערכת ספרתית בשם EX5.



איור לשאלה 5

אותות המבוא (a, b ו-s) ואות המוצא y הם בעלי סיבית אחת. המערכת סינכרונית, ופועלת בירידת אות השעון (clk), בהתאם לטבלה שלהלן:

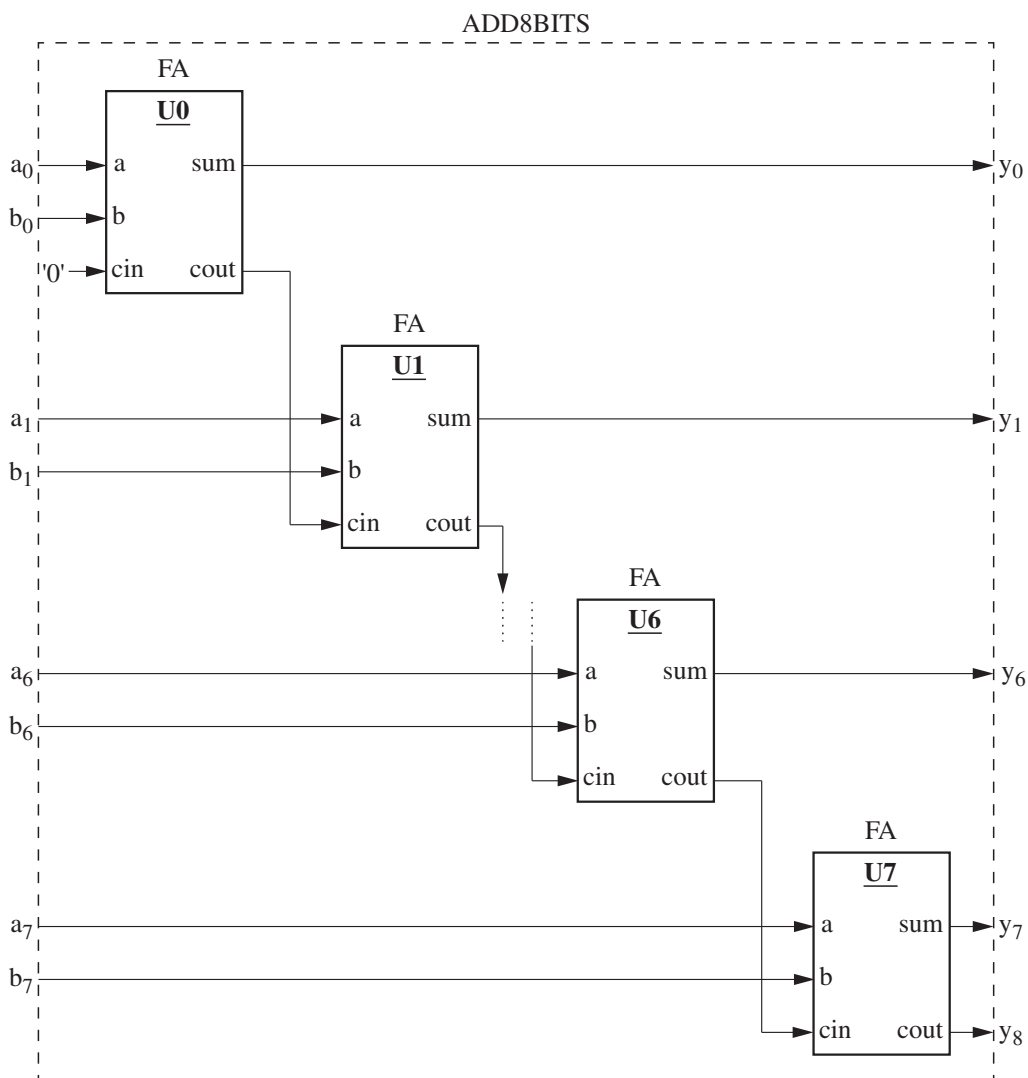
s	y
'0'	a OR b
'1'	a AND b

כתוב תכנית בשפת VHDL המבצעת את פעולת המערכת הזו.

שאלה 6

באיור לשאלה 6 מתוארת מערכת המבצעת פעולת חיבור בין שני מספרים בינאריים ($a_{0\div7}$ ו- $b_{0\div7}$), שכל אחד מהם בעל שמונה סיביות.

החיבור מתבצע באמצעות שרשרת מסכמים מלאים (FULL ADDERS).



איור לשאלה 6

להלן קטע־קוד בשפת VHDL המתאר מסכם מלא (FA) :

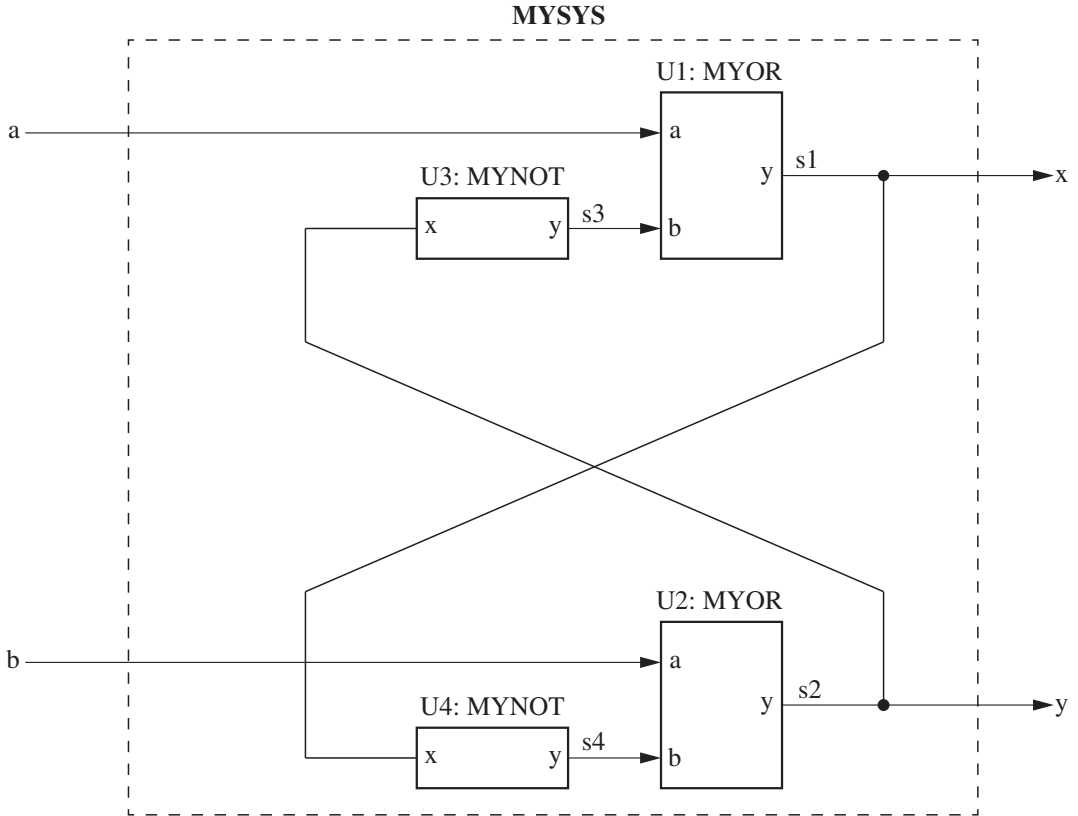
```
ENTITY FA is
    PORT ( a , b, cin: IN BIT ;
          sum , cout: OUT BIT ) ;
END FA ;

ARCHITECTURE behave of FA is
BEGIN
    sum <= a XOR b XOR cin ;
    cout <= (a AND b) OR (a AND cin) OR (b AND cin);
END behave ;
```

- א. היעזר בקטע־הקוד המתאר מסכם מלא (FA) , וסרטט את המעגל הלוגי שלו.
 - ב. סרטט סמל למערכת ADD8BITS , וציין בו את המבואות ואת המוצא של המערכת.
 - ג. כתוב תכנית בשפת VHDL למימוש המערכת ADD8BITS , המבצעת תיאור מבני לחיבור בין מרכיבי המערכת (COMPONENTS) תוך שימוש בלולאת GENERATE .
- המימוש יתבצע לפי עקרונות התכנון ההיררכי, על בסיס המסכם המלא (FA) , שקטע־הקוד המתאר אותו נתון לעיל.

שאלה 7

באיור לשאלה 7 מתוארת מערכת ספרתית בשם MYSYS.



איור לשאלה 7

להלן קטע-קוד בשפת VHDL למימוש המערכת הזו לפי עקרונות התכנון ההיררכי:

```
1.  ENTITY MYSYS is
2.      PORT (a , b : IN BIT ;
3.            x , y : OUT BIT ) ;
4.  END MYSYS ;
5.  ARCHITECTURE STRUCT of MYSYS is
6.  COMPONENT MYOR
7.      PORT ( a,b : IN BIT ;
8.            y : OUT BIT ) ;
9.  END COMPONENT ;
10. COMPONENT MYNOT
11.     port ( x : IN BIT ;
12.           y : OUT BIT ) ;
13. END COMPONENT ;
14. SIGNAL s1 , s2 , s3 , s4 : BIT ;
15. BEGIN
16. U1 : MYOR PORTMAP ( a => _____ , b => _____ , y => _____ ) ;
17. U2 : MYOR PORTMAP ( a => _____ , b => _____ , y => _____ ) ;
18. U3 : MYNOT PORTMAP ( x => _____ , y => _____ ) ;
19. U4 : MYNOT PORTMAP ( x => _____ , y => _____ ) ;
20.     x <= s1 ;
21.     y <= s2 ;
22. END STRUCT ;
```

א. הסבר את משמעות ההוראה COMPONENT המופיעה בקטע-הקוד.

ב. מהו תפקידו של כל אחד מהאותות (SIGNALS) $s1 \div s4$, המופיעים בשורה 14 בקטע-הקוד?

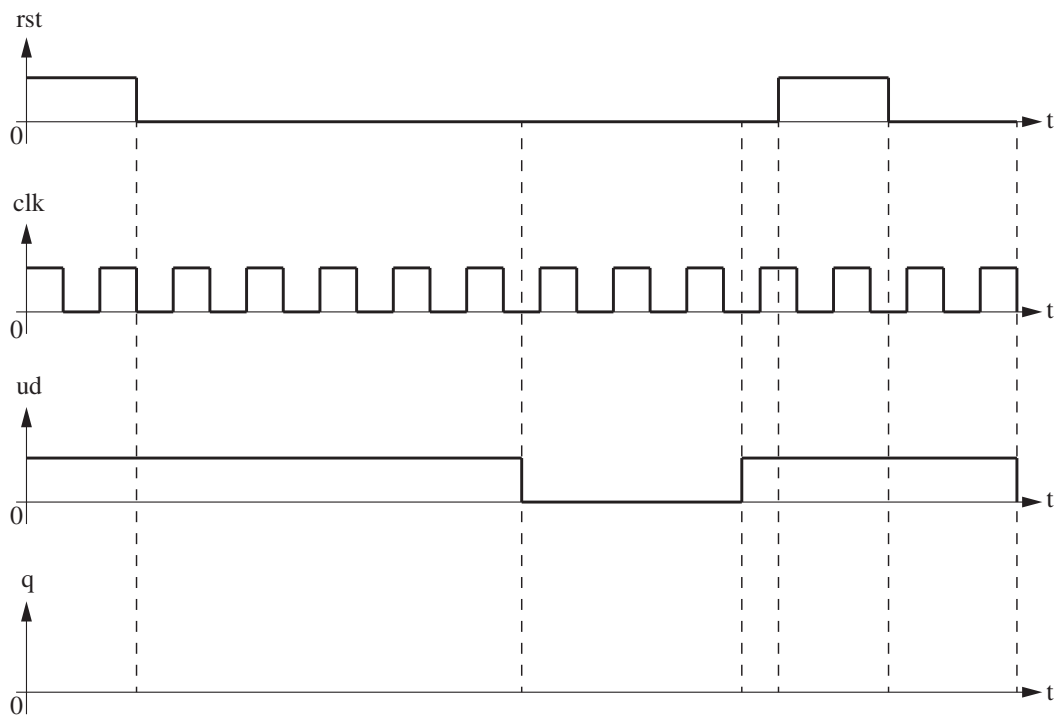
ג. העתק למחברתך את השורות 16 ÷ 19 שבקטע-הקוד, והשלם את החסר בהן.

שאלה 8

להלן קטע־קוד בשפת VHDL המתאר מערכת ספרתית בשם MYSYSTEM.

```
1.  ENTITY MYSYSTEM is
2.      PORT ( clk , rst , ud : IN BIT;
3.              q      : OUT INTEGER RANGE 0 TO 9 ) ;
4.  END MYSYSTEM ;
5.  ARCHITECTURE behave of MYSYSTEM is
6.  BEGIN
7.      PROCESS ( clk , rst )
8.      VARIABLE cnt : INTEGER RANGE 0 TO 9 ;
9.      BEGIN
10.         IF rst = '1' THEN cnt: = 0 ;
11.         ELSIF clk'EVENT AND clk = '1' THEN
12.             IF ud = '1' THEN
13.                 IF cnt = 9 THEN cnt: = 0 ;
14.                     ELSE cnt: = cnt + 1 ;
15.             END IF ;
16.             ELSE
17.                 IF cnt = 0 THEN cnt: = 9 ;
18.                     ELSE cnt: = cnt - 1 ;
19.             END IF ;
20.         END IF ;
21.     END IF ;
22.     q <= cnt ;
23. END PROCESS ;
24. END behave ;
```

- א. הסבר את ההוראות שבשורות 3, 10 ו-11.
- ב. הסבר את משמעות התוכן המופיע בסוגריים של ההוראה PROCESS שבשורה 7.
- ג. באיור לשאלה 8 נתונים אותות המבוא של המערכת, rst ו- clk , כפונקציה של הזמן. העתק את האיור למחברתך, והשלם בו, בהתאמה, את אות-המוצא q כפונקציה של הזמן.



איור לשאלה 8

בהצלחה!

זכות היוצרים שמורה למדינת ישראל.
אין להעתיק או לפרסם אלא ברשות משרד החינוך.

BCD Up/Down Counter

The MC14510B synchronous up/down BCD counter is constructed with MOS P-channel and N-channel enhancement mode devices in a monolithic structure. The counter consists of type D flip-flop stages with a gating structure to provide type T flip-flop capability.

This counter can be preset by applying the desired value in BCD to the Preset inputs (P1, P2, P3, P4) and then bringing the Preset Enable (PE) high. The direction of counting is controlled by applying a high (for up counting) or a low (for down counting) to the UP/DOWN input. The state of the counter changes on the positive transition of the clock input.

Cascading can be accomplished by connecting the Carry Out to the Carry In of the next stage while clocking each counter in parallel. The outputs (Q1, Q2, Q3, Q4) can be reset to a low state by applying a high to the Reset (R) pin.

This CMOS counter finds primary use in up/down and difference counting. Other applications include: (1) Frequency synthesizer applications where low power dissipation and/or high noise immunity is desired, (2) Analog-to-digital and digital-to-analog conversions, and (3) Magnitude and sign generation.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Internally Synchronous for High Speed
- Logic Edge-Clocked Design — Count Occurs on Positive Going Edge of Clock
- Asynchronous Preset Enable Operation
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range.

MAXIMUM RATINGS* (Voltages Referenced to VSS)

Symbol	Parameter	Value	Unit
V _{DD}	DC Supply Voltage	- 0.5 to + 18.0	V
V _{in} , V _{out}	Input or Output Voltage (DC or Transient)	- 0.5 to V _{DD} + 0.5	V
I _{in} , I _{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P _D	Power Dissipation, per Package†	500	mW
T _{stg}	Storage Temperature	- 65 to + 150	°C
T _L	Lead Temperature (8-Second Soldering)	260	°C

* Maximum Ratings are those values beyond which damage to the may occur.

† Temperature Derating:

Plastic "P and D/DW" Packages: - 7.0 mW/°C From 65°C To 125°C

Ceramic "L" Packages: - 12 mW/°C From 100°C To 125°C

TRUTH TABLE

Carry In	Up/Down	Preset Enable	Reset	Clock	Action
1	X	0	0	X	No Count
0	1	0	0	✓	Count Up
0	0	0	0	✓	Count Down
X	X	1	0	X	Preset
X	X	X	1	X	Reset

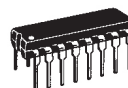
X = Don't Care

NOTE: When counting up, the Carry Out signal is normally high, and is low only when Q1 and Q4 are high and Carry In is low. When counting down, Carry Out is low only when Q1 through Q4 and Carry In are low.

MC14510B



L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648



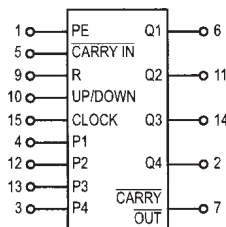
D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBD SOIC

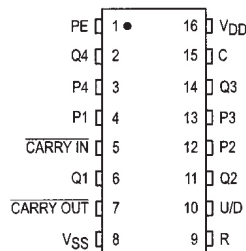
T_A = - 55° to 125°C for all packages.

BLOCK DIAGRAM



V_{DD} = PIN 16
V_{SS} = PIN 8

PIN ASSIGNMENT



PIN DESCRIPTIONS

INPUTS

P1, P2, P3, P4, Preset Inputs (Pins 4, 12, 13, 3) — Data on these inputs is loaded into the counter when PE is taken high.

Carry In, (Pin 5) — Active-low input used when cascading stages. Usually connected to Carry Out of the previous stage. While high, clock is inhibited.

Clock, (Pin 15) — BCD data is incremented or decremented, depending on the direction of count, on the positive transition of this signal.

OUTPUTS

Q1, Q2, Q3, Q4, BCD outputs (Pins 6, 11, 14, 2) — BCD data is present on these outputs with Q1 corresponding to the least significant bit.

Carry Out, (Pin 7) — Used when cascading stages, this pin is usually connected to Carry In of the next stage. This

synchronous output is active low and may also be used to indicate terminal count.

CONTROLS

PE, Preset Enable (Pin 1) — Asynchronously loads data on the Preset Inputs. This pin is active high and will inhibit the clock when high.

R, Reset, (Pin 9) — Asynchronously resets the Q outputs to a low state. This pin is active high and will inhibit the clock when high.

Up/Down, (Pin 10) — Controls the direction of count: high for up count, low for down count.

SUPPLY PINS

V_{SS}, Negative Supply Voltage, (Pin 8) — This pin is usually connected to ground.

V_{DD}, Positive Supply Voltage, (Pin 16) — This pin is connected to a positive supply voltage ranging from 3.0 Vdc to 18.0 Vdc.

אין להעביר נוסחאות זה
מנבחן אחד למשנהו!

מקום לנחשת נחת

נוסחאות באלקטרוניקה ספרתית ב' לכיתה י"ד

(4 עמודים)

משוואות הדפקים היסודית

- מתח מוצא - $V(t)$ [V]
 מתח סופי (עבור $t \rightarrow \infty$) - V_∞ [V]
 מתח התחלתי - V_{0+} [V]
 זמן - t [sec]
 קבוע הזמן - τ [sec]
 זרם מוצא - $I(t)$ [A]
 זרם סופי (עבור $t \rightarrow \infty$) - I_∞ [A]
 זרם התחלתי - I_{0+} [A]
 התנגדות שקולה ש"רואה" הרכיב
 ההיגבי, מחושבת לפי תבנית - R_{eq} [Ω]

$$V(t) = V_\infty - (V_\infty - V_{0+}) \cdot e^{-\frac{t}{\tau}}$$

$$I(t) = I_\infty - (I_\infty - I_{0+}) e^{-\frac{t}{\tau}}$$

$$\tau = R_{eq} \cdot C \quad ; \quad \tau = \frac{L}{R_{eq}}$$

$$t = \tau \cdot \ln \frac{V_\infty - V_{0+}}{V_\infty - V(t)} = \tau \cdot \ln \frac{I_\infty - I_{0+}}{I_\infty - I(t)}$$

תחום הרוויה בטרנזיסטור דו-נושאי

- מתח רוויה בין קולט לפולט - V_{CEs} [V]
 זרם בסיס - I_B [A]
 זרם קולט - I_C [A]
 הגבר זרם - β

$$V_{CE} = V_{CEs}$$

$$\beta \cdot I_B > I_C$$

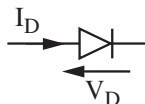
סף רוויה של התחום הפעיל בטרנזיסטור דו-נושאי

$$V_{CE} = V_{CEs}$$

$$\beta \cdot I_B = I_C$$

דיודת צומת

סימול:



א. דיודה אידיאלית:

ממתח קדמי - $V_D = 0$ (קֶצֶר)

ממתח אחורני - $I_D = 0$ (נִתְק)

ב. קירוב באמצעות V_γ :

ממתח קדמי - $V_D = V_\gamma$

ממתח אחורני - $I_D = 0$ ($V_D < V_\gamma$)

ג. קירוב באמצעות V_γ ו- R_f :

ממתח קדמי - $V_D = I_D \cdot R_f + V_\gamma$ ($V_D > V_\gamma$)

ממתח אחורני - $I_D = 0$ ($V_D < V_\gamma$)

טעינה לינארית

טעינת קבל בזרם קבוע:

מתח הקבל	-	V_C	[V]
זרם הקבל	-	I_C	[A]
קיבול	-	C	[F]
זמן	-	t	[sec]

$$V_C = \frac{I_C}{C} \cdot t + V_C(0)$$

$$\Delta V_C = \frac{I_C}{C} \cdot \Delta t$$

זרם הסליל	-	I_L	[A]
מתח הסליל	-	V_L	[V]
השראות	-	L	[H]

טעינת סליל במתח קבוע:

$$I_L = \frac{V_L}{L} \cdot t + I_L(0)$$

$$\Delta I_L = \frac{V_L}{L} \cdot \Delta t$$

טבלת מצבים של JKFF

CLK	J	K	Q
1, 0	$\emptyset$	$\emptyset$	N.C
$\downarrow$	0	0	N.C
$\downarrow$	0	1	0
$\downarrow$	1	0	1
$\downarrow$	1	1	$\bar{Q}_{n-1}$ (שינוי מצב)

טבלת מצבים של SRFF (סינכרוני)

CLK	S	R	Q
0, 1	$\emptyset$	$\emptyset$	N.C
$\downarrow$	0	0	N.C
$\downarrow$	0	1	0
$\downarrow$	1	0	1
$\downarrow$	1	1	מצב אסור

טבלת מצבים של TFF

CLK	T	Q_n
0, 1	$\emptyset$	N.C
$\downarrow$	0	N.C
$\uparrow$	1	$\bar{Q}_{n-1}$ (שינוי מצב)

טבלת מצבים של DFF

CLK	D	Q
1, 0	$\emptyset$	N.C
$\downarrow$	0	0
$\uparrow$	1	1

טבלת עירור

PS			NS		JKFF		SRFF		TFF		DFF	
q	→	Q	J	K	S	R			T		D	
0	→	0	0	ϕ	0	ϕ			0		0	
0	→	1	1	ϕ	1	0			1		1	
1	→	0	ϕ	1	0	1			1		0	
1	→	1	ϕ	0	ϕ	0			0		1	

בהצלחה!

אין להעביר את הנוסחאון
לנבחן אחר

מקום למציאת נבחן

נוסחאון בשפת תיאור חומרה VHDL לכיתה י"ד

(12 עמודים)

בלוקים עיקריים בשפה	
<pre>ENTITY __entity_name IS GENERIC (parameter_name : string := default_value; parameter_name : integer := default_value); PORT (input_name : IN STD_LOGIC; input_vector_name : IN BIT_VECTOR (high downto low); bidir_name : INOUT STD_LOGIC; output_name : OUT STD_LOGIC); END __entity_name;</pre>	מבנה כללי של ישות תכנית

בלוקים עיקריים בשפה	
ARCHITECTURE a OF __entity_name IS הצהרה על משאבי התוכנית BEGIN -- Process Statement -- Concurrent Procedure Call -- Concurrent Signal Assignment -- Conditional Signal Assignment -- Selected Signal Assignment -- Component Instantiation Statement -- Generate Statement END a;	מבנה כללי של גוף תכנית
__process_label: PROCESS (__signal_name, __signal_name) VARIABLE __variable_name : STD_LOGIC; VARIABLE __variable_name : STD_LOGIC; BEGIN -- Signal Assignment Statement -- Variable Assignment Statement -- Procedure Call Statement -- If Statement -- Case Statement -- Loop Statement END PROCESS __process_label;	מבנה כללי של הליך טורי

שימוש במבניות בתכנון היררכי	
COMPONENT __component_name GENERIC (__parameter_name : string := __default_value; __parameter_name : integer := __default_value); PORT (input_name, input_name : IN STD_LOGIC; bidir_name, bidir_name : INOUT STD_LOGIC; output_name, output_name : OUT STD_LOGIC); END COMPONENT ;	הצהרה על מבנית שבשימוש בתכנית האב
__instance_name: __component_name GENERIC MAP (parameter_name => parameter_value, parameter_name => parameter_value) PORT MAP (component_port => connect_port, component_port => connect_port);	שימוש במבנית בתכנון היררכי
__generate_label: FOR __index_variable IN __range GENERATE __statement; __statement; END GENERATE __generate_label;	שרשור מבניות GENERATE FOR בלולאת
__generate_label: IF __expression GENERATE __statement; __statement; END GENERATE __generate_label;	שרשור מותנה IF GENERATE

לולאות LOOPS	
<pre>__loop_label: FOR __index_variable IN __range LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת FOR
<pre>__loop_label: WHILE __boolean_expression LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת WHILE

התניות בגוף התכנית – מחוץ ל-PROCESS	
__signal <= __expression WHEN __boolean_expression ELSE __expression WHEN __boolean_expression ELSE __expression _____ ; דוגמה 1 : מימוש שער AND באמצעות פקודת "WHEN" פשוטה. Y <= '1' when (a = '1') and (b = '1') else '0' ; דוגמה 2 : מימוש שער AND באמצעות פקודת "WHEN" המשכית. Y <= '0' when (a = '0') and (b = '0') else '0' when (a = '0') and (b = '1') else '0' when (a = '1') and (b = '0') else '1' ;	התניית When ... Else
WITH __ expression SELECT __signal <= __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN others; _____ דוגמה: מימוש שער AND באמצעות פקודת התניה WITH .. SELECT Signal ab : bit_vector (1 downto 0); Begin ab <= a & b; with ab select y <= '0' when "00" , '0' when "01" , '0' when "10" , '1' when others ;	התניית With ... Select

התניות בהליך טורי – בתוך PROCESS	
IF __boolean_expression THEN __signal <= __ expression; ELSIF __boolean_expression THEN __signal <= __expression; ELSE __signal <= __expression; END IF;	התניית If .. Then .. Else
CASE __expression IS WHEN __constant_value => __statement; __statement; WHEN __constant_value => __statement; __statement; WHEN OTHERS => __statement; __statement; END CASE;	התניית CASE

דוגמה למימוש מפענח בהתניית CASE :

```

Process(s)
Begin
    Case s is
        When "00" => y <= "0001" ;
        When "01" => y <= "0010" ;
        When "10" => y <= "0100" ;
        When "11" => y <= "1000" ;

        End case;
    End process;
    
```

התניות בהליך טורי – בתוך PROCESS

התוכנית תבצע את טבלת האמת הבאה:

S : BIT_VECTOR (1 DOWNT0 0)		Y : BIT_VECTOR (3 DOWNT0 0)			
S1	S0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

library ieee;

use ieee.std_logic_1164.all;

entity DEMUX is

port (d : in bit;

s : in bit_vector (1 downto 0);

y : out bit_vector (3 downto 0);

end;

architecture behave of DEMUX is

begin

process (s)

begin

case s is

when "00" => y <= '0' & '0' & '0' & d;

when "01" => y <= '0' & '0' & d & '0';

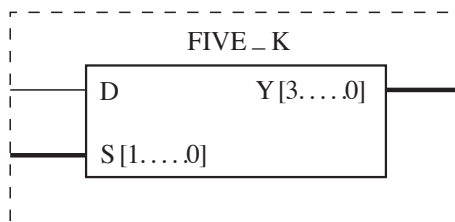
when "10" => y <= '0' & d & '0' & '0';

when "11" => y <= d & '0' & '0' & '0';

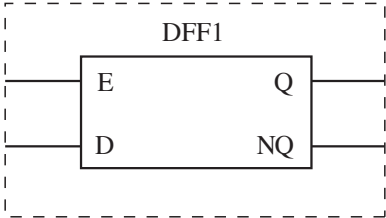
end case;

end process;

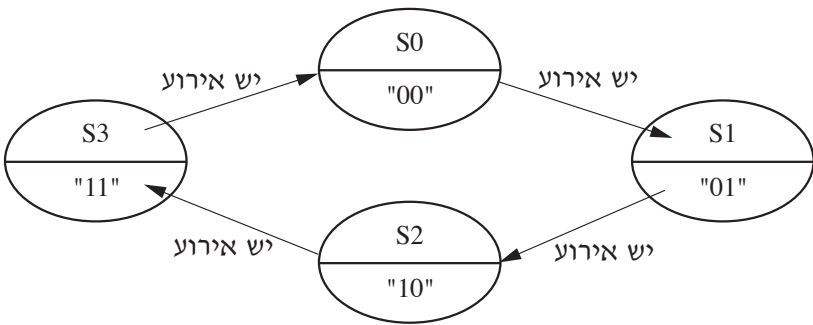
end behave;



דוגמה לתכנית
 שלמה המבצעת
 פעולת מפלג, תוך
 שימוש בהתניית
 CASE

התניות בהליך טורי – בתוך PROCESS		
wait; עצירה לעד אשר שימושית לעצירת סביבת בדיקה wait on ; רשימת משתנים wait until ; תנאי לוגי wait for ; מספר יחידות זמן		פקודת ההשהיה WAIT
Library ieee; Use ieee.std_logic_1164.all; Entity DFF1 is Port (e, d : in std_logic; Q : inout std_logic; Nq : out std_logic); End DFF1; Architecture behave of DFF1 is Begin Process Begin Wait until e'event and e = '1' ; Q <= d; Nq <= not d; End process; End behave;		דוגמה למימוש DFF
התכנית יצרה סמל SYMBOL עפ"י הישות (ENTITY) בתכנית.		
		

דוגמאות נוספות																																		
Process (enable) Begin If pre = '1' then q <= '1' ; Elsif clr = '1' then q <= '0' ; Elsif enable 'event and enable = '1' then q <= d; End process; ההליך בדוגמא יבצע את הפעולות המתוארות בטבלת האמת הבאה: <table><tr><th>PRE</th><th>CLR</th><th>ENABLE</th><th>D</th><th>Q</th></tr><tr><td>1</td><td>0</td><td>F</td><td>F</td><td>1</td></tr><tr><td>0</td><td>1</td><td>F</td><td>F</td><td>0</td></tr><tr><td>0</td><td>0</td><td>אין עליה</td><td>F</td><td>נשמר מצב קודם</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>1</td><td>1</td></tr></table>				PRE	CLR	ENABLE	D	Q	1	0	F	F	1	0	1	F	F	0	0	0	אין עליה	F	נשמר מצב קודם	0	0	עליה	0	0	0	0	עליה	1	1	דוגמה למימוש דוגמה עם DFF ישירים
PRE	CLR	ENABLE	D	Q																														
1	0	F	F	1																														
0	1	F	F	0																														
0	0	אין עליה	F	נשמר מצב קודם																														
0	0	עליה	0	0																														
0	0	עליה	1	1																														
architecture EXAMPLE1 of ARRAY is type INTEGER_VECTOR is array (1 to 8) of integer; -- 1 -- type MATRIX_A is array (1 to 3) of INTEGER_VECTOR; -- 2 -- type MATRIX_B is array (1 to 4 , 1 to 8) of integer; signal MATRIX_3x8 : MATRIX_A; signal MATRIX_4x8 : MATRIX_B; begin MATRIX_3x8 (3) (5) <= 10; -- מערך בתוך מערך MATRIX_4x8 (4 , 5) <= 17; -- מערך דו־ממדי end EXAMPLE1;				דוגמאות ליצירה והצבה במערכים																														

דוגמאות נוספות	
 <pre> library ieee; use ieee.std_logic_1164.all; entity state_machine is port (clk : in bit; count_out : out bit_vector (1 downto 0)); end state_machine; architecture behave of state_machine is type state_type is (s0 , s1 , s2 , s3); -- names of states signal state : state_type; begin counting : process (clk) begin if clk'event and clk = '1' then -- positive edge event case state is when s0 => state <= s1; when s1 => state <= s2; when s2 => state <= s3; when s3 => state <= s0; end case; end if; end process counting; with state select count_out <= "00" when s0, "01" when s1, "10" when s2, "11" when s3; end behave; </pre>	דוגמה לכתיבת מונה במכונת מצבים

דוגמאות נוספות	
<pre> entity ADDER_FUNC is generic (max : integer := 15); port (A , B : in integer range 0 to max; SUM : out integer range 0 to MAX + MAX); end; architecture behave of ADDER_FUNC is function ADD (x , y : integer) return integer is variable s : integer; begin s := x + y; return s; end function ADD; begin sum <= ADD (a , b); -- הקריאה לפונקציה end behave; </pre>	דוגמה לתכנית המשתמשת בפונקציה המבצעת חיבור בין מספרים
<pre> library ieee; use ieee.std_logic_1164.all; entity adder_proc is port (A , B : in integer; SUM : out integer); end; architecture behave of adder_proc is procedure ADD (signal x , y : in integer; signal s : out integer) is begin s <= x + y; end procedure ADD; begin ADD (a , b , sum); end behave; </pre>	דוגמה לתכנית המשתמשת בפרוצדורה המבצעת חיבור בין מספרים

דוגמאות נוספות	
PACKAGE __package_name IS -- Type Declaration -- Subtype Declaration (FUNCTIONS , PROCEDURES) -- Constant Declaration -- Signal Declaration -- Component Declaration END __package_name; package body package_name is declarations deferred constant declaration subprogram bodies (תיאור פעולות הפונקציות והפרוצדורות) end package body package_name;	הגדרת PACKAGE

Mode	קריאה	כתיבה
in	כן	לא
out	לא	כן
inout	כן	כן
buffer	כן	כן

בהצלחה!

תרגום המונח			המונח
אנגלית	רוסית	ערבית	
trigger signal	Строблирующий сигнал	نبض التحفيز	אות דירבון
input signal	Входной сигнал	إشارة دخل	אות־מבוא
output signal	Выходной сигнал	إشارة خرج	אות־מוצא
clock signal	Тактовый сигнал	نبض الساعة	אות שעון
bubble diagram	Диаграмма состояний	مُخطَّط الفقاعات / مُخطَّط العلاقات	דיאגרמת בועות
flip-flop	Триггер	قَلَاب	דלגלג
monostable (one shot)	Одновибратор	أحاديّ الاستقرار	חד־יציב
truth table	Таблица истинности	جدول الصدق	טבלת אמת
transitions table	Таблица переходных состояний	جدول النقل	טבלת מעברים
states table	Таблица состояний	جدول الحالة	טבלת מצבים
excitaion table	Таблица переходов	جدول الإثارة	טבלת עירור
components	Составляющие	عَنَاصِر / مكوّنات	מבניות
operational amplifier	Операционный усилитель	مُضخّم تشغيلي	מגבר שרת
counter	Счётчик	عداد	מונה
time-base generator	Временной задатчик	مُولّد القاعدة الزمنية	מחולל בסיס-זמן
digital system	Синхронный автомат	نظام رقمي	מערכת ספרתית
synchronous tracking system	Синхронный автомат последовательных состояний	نظام تتبّع غير مُتزامن	מערכת עקיבה סינכרונית
bit	Бит	رقم ثنائي (بت)	סיבית

תרגום המונח			המונח
אנגלית	רוסית	ערבית	
symbol	Символ	رمز	סמל
multi-vibrator	Мультивибратор	مُتَعَدِّد الاهتزاز	רב־רטט
hierarchical design	Иерархическое программирование	تصميم مرتبي	תכנון היררכי